

接触抵抗改善によるグラフェン FET の高性能化

Improved Graphene FETs with Low Contact Resistance

○小岩 匡¹、岡 謙吾¹、末光 哲也²、尾辻 泰一²、内野 俊¹ (1. 東北工大、2. 東北大通研)

○T. Koiwa¹, K. Oka¹, T. Suemitsu², T. Otsuji², T. Uchino¹ (1. Tohoku Inst. Tech, 2. Tohoku Univ. RIEC)

E-mail: t-uchino@tohotech.ac.jp

【はじめに】カーボンナノ材料であるグラフェンは、高移動度、高電流密度耐性、フレキシビリティ等の特性から高性能デバイスへの応用が期待され、近年ますますその重要性が増している。しかし、グラフェン/金属電極間の高接触抵抗が原因でグラフェン・デバイスの高性能化が困難になっている。高接触抵抗の主な原因として、グラフェン/金属界面に存在するフォトレジストの残渣の影響や金属電極とのぬれ性が悪いことが報告されている。そこで、本研究ではデバイス作製プロセスの改良によりグラフェン/金属界面のクリーン化を行い、接触抵抗の低減を試みた。

【実験方法】接触抵抗の改善を目的として、図1に示すデバイス作製プロセスを導入し、TLM法を用いて接触抵抗を評価した。さらにバックゲートFETを作製し、接触抵抗のFET特性への影響を調べた。基板にはSiO₂/Si (P型, 2-10×10¹⁹ cm⁻³)上に転写したCVD単層グラフェン、金属電極にはPdを用いた。

【実験結果】図2にバックゲートFETのI_d-V_g特性を示す。本研究で作製したFETはいずれもアンビポーラ特性を示した。最大相互コンダクタンス(g_m)は接触抵抗の低減と共に試料#1<#2<#3の順に大きくなった。以上より、Al₂O₃保護膜と酸素プラズマ処理を併用することによりグラフェン/金属電極界面が改善した結果、接触抵抗が低減し、良好なFET特性が得られることがわかった。

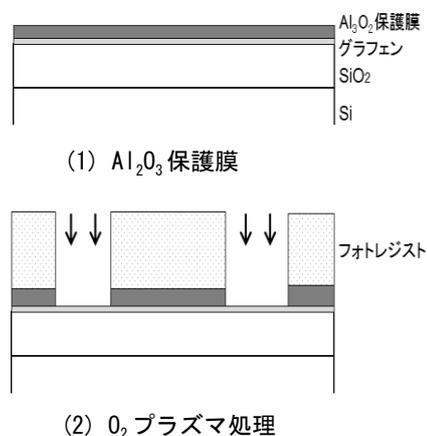


図1 低接触抵抗化プロセス

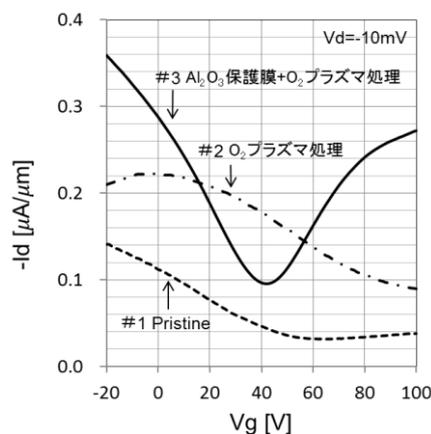


図2 バックゲートFETのI_d-V_g特性