

3次元構造デバイスにおけるプラズマダメージ層形成モデル

A Model for Plasma-induced Physical Damage in Three-dimensional Structures

○江利口 浩二¹、斧 高一¹ (1. 京大院工)

○Koji Eriguchi¹, Kouichi Ono¹ (1.Kyoto Univ.)

E-mail: eriguchi@kuaero.kyoto-u.ac.jp

【はじめに】従来の平面型 MOSFET にかわって、Double-Gate FET, Tri-Gate FET と呼ばれる立体型 (Fin 型) MOSFET が量産され始めた[1]。Fin 型 MOSFET を有する LSI 製造においてもプラズマエッチング技術は重要な役割を担っている。近年、従来の平面型 MOSFET と同様、Fin 型 MOSFET においても、高エネルギーイオン衝撃による"プラズマダメージ(Plasma-induced Physical Damage: PPD)"の存在が懸念されている[2]。PPD のスケールは本質的にプラズマデバイス相互作用の反応領域と同程度 (～5 nm) であり、縮小化することは困難である[3]。本講演では将来の 3 次元構造デバイスにおける PPD 形成モデルとそのデバイスパラメータへの影響について議論する。

【モデル, 実験, 及びシミュレーション】平面型 MOSFET の Source/Drain Extension 領域で見られる Si リセスに代表される Si 基板の PPD 形成は、イオン入射方向のみに着目した Range Theory に基づいたモデル[5]で説明できる。しかしながら 3 次元構造では、Fig. 1(a)で示すようにラテラル方向の粒子の運動を考慮しなければならない。例えば Fin 構造形成時には、イオン衝突による反応表面での"Sputtering"により、粒子は十分なエネルギーを持ったまま Fin 側壁部に衝突する。また基板内部に侵入した粒子は、散乱過程"Straggling"によりラテラル方向の運動量成分をもつ。Fig. 1(b)に古典的分子動力学法によりこれらの過程を確認した結果を示す。したがって、実際に形成される Fin 構造内部には、Sputtering 及び Straggling による潜在的欠陥が存在していると考えられる。製造工程におけるさまざまな制約を鑑みると、最終的に残る欠陥面密度は Fin 構造の面には強く依存しない[2]。Fig. 1(c)に示す平面構造での実験結果とモデル[5]から、残留欠陥によるドレイン電流(I_d)低下、さらには"プラズマのゆらぎによるバラツキ"を予測できる。Fig. 1(d)は、PPD による I_d バラツキの予測結果例を示す。PPD による I_d バラツキは無視できないレベルと言える。

【おわりに】3次元構造デバイスの高性能化・高信頼性化には、3次元構造特有の新たなプラズマダメージ層形成メカニズムの理解とその制御・最適化設計が重要である。

[1] 例えば I. Ferain *et al.*, Nature **479** (2011) 310. [2] K. Eriguchi *et al.*, DPS 19 (2014). [3] K. Eriguchi and K. Ono, J. Phys. D **41** (2008) 024002. [4] K. Eriguchi *et al.*, Jpn. J. Appl. Phys. **49** (2010) 056203. [5] K. Eriguchi *et al.*, IEEE-EDL **30** (2009) 1275.

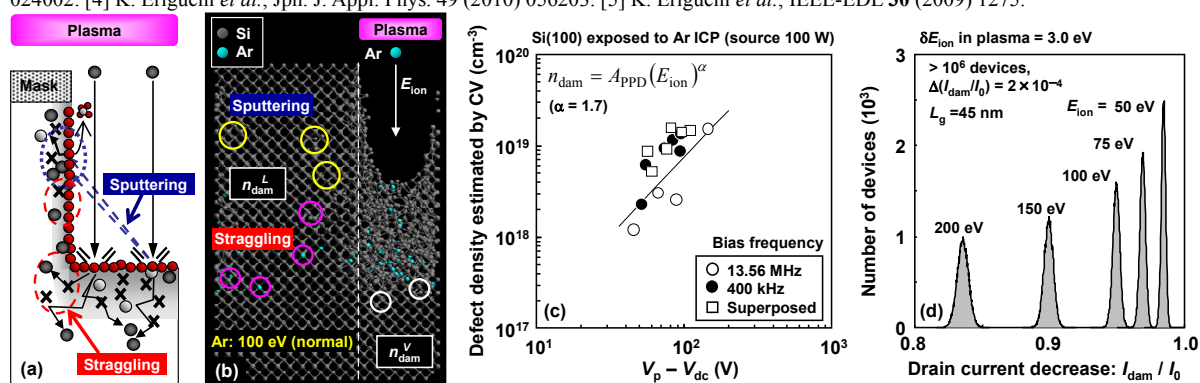


Fig. 1. Model predictions for plasma-induced physical damage in three-dimensional structures. (a) Two key mechanisms—"sputtering" and "straggling" of incident species. (b) A molecular dynamics simulation result. (c) Incident energy dependence of defect density in Si substrate experimentally obtained. (d) Model predictions of parameter variability enhancement by plasma-induced physical damage.