FinFET における特性ばらつきと低周波ノイズの抑制技術 Technology for suppressing variability and low frequency noise in FinFETs 産総研 [○]松川 貴, 福田浩一, 柳 永勛, 塚田順一, 山内洋美, 石川由紀, 遠藤和彦, 大内真一, 右田真司, 水林 亘, 森田行則, 太田裕之, 昌原明植

AIST, °T. Matsukawa, K. Fukuda, Y.X. Liu, J. Tsukada, H. Yamauchi, Y. Ishikawa, K. Endo, S. O'uchi, S. Migita, W. Mizubayashi, Y. Morita, H. Ota, and M. Masahara E-mail: t-matsu@aist.go.jp

【はじめに】システム LSI(SoC)のスケーリングを進める上で、消費電力を決定づけるリーク電流、SRAM等 デジタル回路の集積度と電源電圧低減に影響する特性ばらつき、アナログ回路のスケーリング限界を決 める低周波ノイズ、いずれも抑制する必要がある。22nm 技術以降に導入された FinFET は、リーク電流を 有効に抑制する[1]。本稿では、残る2要素、特性ばらつきと低周波ノイ (poly) crystal phase

ズを FinFET において抑制する技術について述べる。

【特性ばらつき】FinFET では、アンドープチャネルの使用によりドーパン ト起因ばらつき(RDF)が抑制される。さらに、ばらつき要因として残存する ゲート電極の仕事関数ばらつき(WFV)に関しては、非晶質金属ゲートの 導入が有効である[2]。一方で、低ばらつきを維持しつつ SoC に必要な V.調整技術が求められている。この手段の1つとして、FD-SOIと同様に 薄い埋め込み酸化膜を持つ SOI(SOTB)を用いることで、基板バイアスに よる Vt調整が可能である[3,4]。これに加え、非晶質金属ゲートの組成制 御により、低ばらつき性とV,調整の両立を試みた[5]。Fig.1に示す様に、

4 種類の異なる組成(i)~(iv)の非晶質 TaSiN 薄膜を PVD により成膜する。従来 型の多結晶 TiN ゲートと同様に、TaSiN ゲートを FinFET に導入し(Fig.2)、電気的 特性を評価した。Fig.3 に示す様に、 TaSiN の組成を変化させることにより有効 に V_tを調整できる。また V_t ばらつきを Pelgrom plot により評価し、多結晶 TiN ゲ ートと各種組成の TaSiN ゲートと比較した (Fig.4)。組成にかかわらず、非晶質金属 ゲートの導入により Vt ばらつきが有

効に抑制されることが分かる。 【低周波ノイズ】低周波ノイズの主成 分であるフリッカノイズは、スケーリン グにより、トランジスタのチャネル面 積に反比例して増加する傾向があ る[6]。このため、既に 65nm 技術の 辺りで、一部アナログ用途ではダイ サイズ縮小の停留が発生している [7]。そこで、FinFET に非晶質金属 ゲートを導入することによる低周波ノ イズへの影響を調査した。Fig.5 に 示す様に、多結晶 TiN ゲートでは、



amorphous phase

V_d=1 V



Fig.2 Features of the fabricated FinFETs with





1/f 特性を示すフリッカノイズが観測される。一方、非晶質 TaSiN ゲートの導入によりフリッカノイズは劇的 に低減し、WFV の抑制が低周波ノイズの抑制にも有効であることが分かる。

【参考文献】[1] C. Auth et al., VLSI Symp. 2012, p.131, [2] T. Matsukawa et al., IEDM 2012, p.175, [3] M. Saitoh et al., VLSI Symp. 2012, p.11, [4] T. Matsukawa et al., VLSI Symp. 2014, p.142, [5] T. Matsukawa et al., IEDM 2014, p.299, [6] E.P. Vandamme et al., IEEE Trans. Electron Devices, 47, p.2146, 2000, [7] M. Zargari et al., VLSI Tech. Short Course 2014. 【謝辞】本研究の一部は、JSPS 科研費 26289113 の助成を受けて行われている。