

## 塗布型有機単結晶トランジスタを用いた CMOS 集積回路

### Solution-processed organic single crystal transistors for CMOS integrated circuits

○山村祥史<sup>1</sup>、添田淳史<sup>1</sup>、境駿希<sup>1</sup>、岸村眞治<sup>3</sup>、岸柁之<sup>1</sup>、松井弘之<sup>1</sup>、宇野真由美<sup>2</sup>、金岡祐介<sup>2</sup>、  
諫早伸明<sup>1</sup>、柳生慎悟<sup>3</sup>、三津井親彦<sup>1</sup>、岡本敏宏<sup>1,4</sup>、竹谷純一<sup>1,2,3</sup>

(東大新領域<sup>1</sup>、阪府産技研<sup>2</sup>、パイクリスタル<sup>3</sup>、JST さきがけ<sup>4</sup>)

○A. Yamamura<sup>1</sup>, J. Soeda<sup>1</sup>, S. Sakai<sup>1</sup>, S. Kishimura<sup>3</sup>, M. Kishi<sup>1</sup>, H. Matsui<sup>1</sup>, M. Uno<sup>2</sup>, Y. Kanaoka<sup>2</sup>,  
N. Isahaya<sup>1</sup>, S. Yagyu<sup>3</sup>, C. Mitsui<sup>1</sup>, T. Okamoto<sup>1,4</sup>, J. Takeya<sup>1,2,3</sup>

(The Univ. of Tokyo<sup>1</sup>, TRI-Osaka<sup>2</sup>, PI-CRYSTAL Inc.<sup>3</sup>, JST-PRESTO<sup>4</sup>)

E-mail: [y-yamamura@organicel.k.u-tokyo.ac.jp](mailto:y-yamamura@organicel.k.u-tokyo.ac.jp)

有機トランジスタは低コストで印刷可能な次世代エレクトロニクスデバイスとして近年注目を集めており、RF-ID タグなどの論理回路への応用が期待されている。溶液プロセスを用いた半導体製膜技術は製造コストの面で非常に有用であり、当研究室では半導体溶液を幅数 cm 程度のブレードで保持して一方向に連続的に乾燥・成長させる連続エッジキャスト法によって、均一な有機単結晶薄膜を数 cm にわたって得ることに成功している[1]。このように得られる単結晶薄膜を用いて集積度の高い論理回路を低コストで実現するためには、p 型および n 型半導体を微細に塗り分ける技術を確認することが必要不可欠である。そこで本研究では、ミリスケールで p 型および n 型半導体をパターニングする手法を確認し、論理回路を動作させることに成功したのでここに報告する。

本研究では p 型半導体として C10-DNBDT、n 型半導体として BASF 社 GSID-104031-1 を用いた。Fig. 1 に半導体のパターニング法の概要を示す。従来よりも狭い 3 mm 幅のブレードを用いて連続エッジキャスト法をおこなうことで、p 型および n 型半導体膜をミリスケールで塗り分けることが可能となった。更に各溶液に PMMA (polymethyl methacrylate) をブレンドし、粘度を上げることによって、より安定して数センチにわたる連続した膜を作製することに成功した。また、このパターニング技術を用いることにより、5 mm×10 mm のエリアに p/n 合わせて 26 個のトランジスタから成る D-flip-flop 論理回路を作製した。Fig.2 に示す入出力特性より、CLOCK と DATA の入力に対して出力が適切に応答していることがわかる。

【謝辞】本研究の一部は、NEDO 戦略的省エネルギー技術革新プログラムにおいて実施された。

[1] J. Soeda, et al., Appl. Phys. Express 6, 076503 (2013).

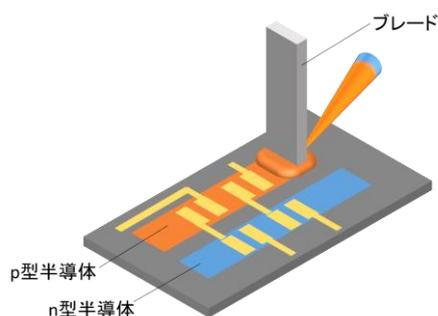


Fig. 1 A schematic image of patterning method

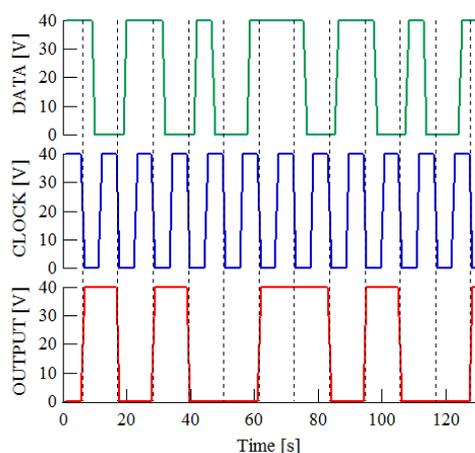


Fig. 2 Input and output properties of D-flip-flop circuit