

La oxide 界面層を用いた InGaAs ゲートスタックの電気特性の改善 Improvement of Electrical Properties of InGaAs MOS Interfaces by Inserting La Oxide

Interfacial Layers into InGaAs Gate Stacks

東京大学¹, 住友化学², JST-CREST³

○張志宇^{1,3}, 市川磨^{2,3}, 長田剛規^{2,3}, 山田永^{2,3}, 竹中充^{1,3}, 高木信一^{1,3}

The University of Tokyo¹, Sumitomo Chemical Co. Ltd.², JST-CREST³,

○C.-Y. Chang^{1,3}, O. Ichikawa^{2,3}, T. Osada^{2,3}, H. Yamada^{2,3}, M. Takenaka^{1,3} and S. Takagi^{1,3}

E-mail: cychang@mosfet.t.u-tokyo.ac.jp

【はじめに】近年、InGaAs 上に La_2O_3 を堆積して形成した MOS 界面は従来の $\text{HfO}_2/\text{Al}_2\text{O}_3$ ゲートスタックより低い界面準位密度 ($8 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$) が得られることが示された[1]。しかし、 La_2O_3 の界面層が InGaAs との MOS 界面に与える影響はまだ十分明らかとは言えない。そこで本研究では、原子層堆積法を用いて、 $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS キャパシタを試作し、その電気特性を調べると共に、薄い La_2O_3 界面層と Al_2O_3 を積層したゲートスタック構造の電気特性を調べたので、その結果を報告する。

【実験結果】図 1(a) に 8.2 nm $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS キャパシタの $C-V$ を示す。 $C-V$ の弱反転領域における周波数分散が小さいことから $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS 界面の D_{it} が低いことが窺われる。図 1(b) の Conductance 法[2]で測定した界面準位密度分布から、 D_{it} の最小値として $2.6 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ の値が得られることが分かる。しかし、 $C-V$ のヒステリシスが大きく、 La_2O_3 膜中に、多くの欠陥準位が存在することが示唆される。結果として、 $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS 構造は、良好な MOS 界面である一方、遅い準位が多いという欠点を有すると言える。

そこで、低い MOS 界面準位密度を維持しながら、遅い準位の影響を低減するため、 La_2O_3 を薄膜化し、誘電体膜と組み合わせる積層構造を検討した。図 2(a) に 3.5 nm $\text{Al}_2\text{O}_3/\text{InGaAs}$ 、(b) に 3.5 nm $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ 積層構造の $C-V$ 特性を示す。ここで La_2O_3 界面層の厚さは 0.4 nm (10 cycle) である。薄い La_2O_3 界面層の挿入によって、 $C-V$ の弱反転領域における周波数分散が小さくなり、 D_{it} が減少したことが分かる。また、 La_2O_3 の薄膜化によって、 $\text{Al}_2\text{O}_3/\text{InGaAs}$ のヒステリシスと同等のレベルまで、ヒステリシスが小さくなることも分かる。図 3 に界面準位密度と La_2O_3 界面層膜厚の関係を示す。ここで La_2O_3 の ALD において、およそ 7 cycle までがインキュベーション時間となる。 La_2O_3 界面層の膜厚の増加により、 D_{it} が減少するが、単層の La_2O_3 MOS 界面での D_{it} の値までは、低下しない。これは Al_2O_3 の堆積時に、 La_2O_3 の界

面層との反応や相互拡散が起こり、InGaAs MOS 界面に影響を与えたためと考えられる。

【結論】 $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ 積層構造により、ヒステリシスが小さくかつ D_{it} が低いゲートスタック構造を実現できた。 La_2O_3 界面層の挿入により、InGaAs の MOS 界面を改善できることが実験的に示された。

【参考文献】 [1] D. H. Zadeh, *et al.*, *IEDM*, 2.4.1 (2013). [2] E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*, New York, Wiley (1982).

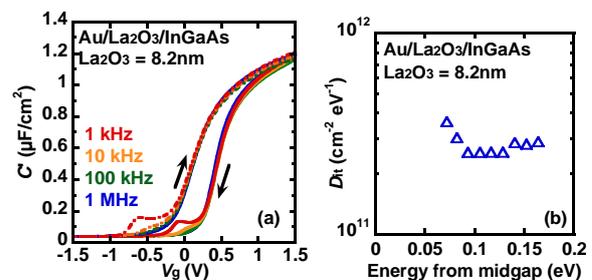


Fig. 1 (a) $C-V$ of 8.2 nm $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS capacitor and (b) D_{it} distributions of 8.2 nm $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS capacitor.

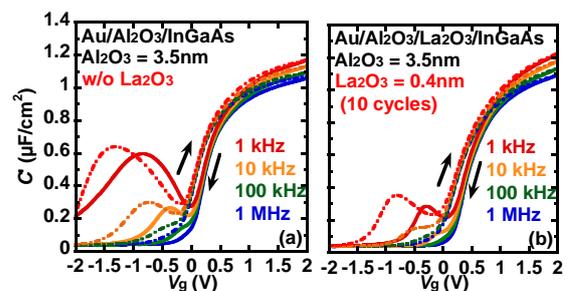


Fig. 2 $C-V$ of (a) $\text{Al}_2\text{O}_3/\text{InGaAs}$ and (b) $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ gate stacks.

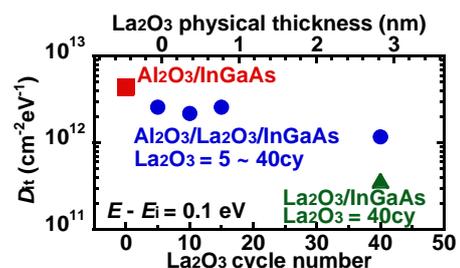


Fig. 3 D_{it} of $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ at $E - E_i = 0.1 \text{ eV}$ as a function of La_2O_3 cycle numbers.