

次世代 TCAD (2) 3 次元デバイスシミュレータによる CMOS インバータチェーンの一括過渡解析

A CMOS Inverter Chain Analysis

by Time-dependent and Three Dimensional Device Simulation

アドバンスソフト株式会社 ○原田 昌紀, 桑原 匠史, 大倉 康幸, 山口 憲, 小池 秀耀

AdvanceSoft Corporation, ○Masanori Harada,

Takuhito Kuwabara, Yasuyuki Ookura, Ken Yamaguchi, Hideaki Koike

E-mail:harada@advancesoft.jp

LSI の高集積化と高密度化により、MOS トランジスタ間の電気的な相互作用を無視することはできない。個々のデバイス部品を回路接続するミックスモードシミュレーション[1]では相互作用の解析精度はユーザがあらかじめ設定する寄生抵抗や寄生容量に依存し、寄生容量を高精度に求めるには構造 3 次元の容量解析を事前実行する負担がユーザに課せられていた[2]。

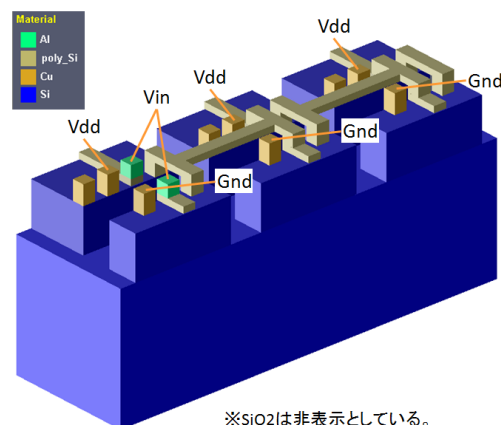
今回、複数のトランジスタとそれらを接続する配線からなる系を一括してデバイスシミュレーションできる手法を開発した。寄生抵抗や寄生容量はデバイスシミュレーションで計算されるため、ユーザが事前に値を準備しておく必要はない。

検証計算として、Fig. 1 に示す 3 段の CMOS インバータチェーンの過渡解析を実施し、各段のインバータ動作の遅延時間を評価した。まず Vdd に 2V を印加し、定常状態を得る（過渡解析時間=2.1ns）。次に 2.1ns において Vin を瞬間的に 2V に昇圧し、その後 0.6ns 間の過渡解析を実施した。Fig. 2 に Vin 昇圧前後でのインバータチェーンの各段における静電ポテンシャルの時間変化を示す。インバータチェーンの 2 段目、3 段目になるに従って、静電ポテンシャルが反転するタイミングが遅れており、寄生容量による効果が確認された。

謝辞：本研究の一部は独立行政法人科学技術振興機構 A-STEP プログラムの助成を受けて行われた。

[1] J. Gregory Rollins and John Choma, Jr., “Mixed-Mode PISCES-SPICE Coupled Circuit and Device Solver”, IEEE Trans. Computer-Aided Design, vol. 7, no. 8, pp. 862 - 867, August 1988

[2] Y. Takemura, K. Osada, M. Yagyū, K. Yamaguchi, J. Ushio and T. Maruizumi, “Three-dimensional capacitance analysis in an SRAM cell”, 2000 International Conference on Solid State Devices and Materials, August 380 - 381, 2000, Sendai, Japan



※SiO2は非表示としている。

Fig. 1. Structure of the three-stage CMOS inverter chain.

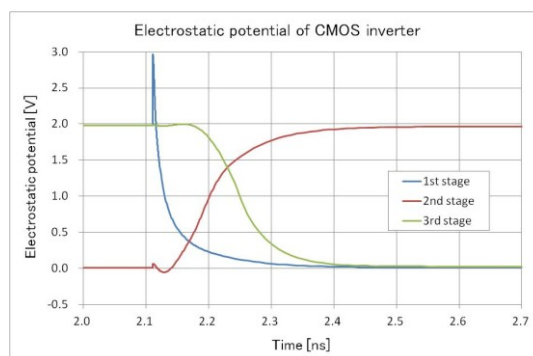


Fig. 2. Time variations of the electrostatic potentials at the three stages.