

次世代 TCAD (3) 台形チャネル Si-nMOSFET の耐圧特性解析

Analysis of breakdown voltage in Si-nMOSFET with trapezoidal channel

アドバンスソフト株式会社 ○山田 吉宏, 大倉 康幸, 山口 憲, 小池 秀耀

AdvanceSoft Corporation, Tokyo, Japan ○Yoshihiro Yamada, Yasuyuki Ookura, Ken Yamaguchi,
Hideaki Koike

E-mail:y-yamada@advancesoft.jp

微細 MOSFET における平面パターンが耐圧に及ぼす影響について、3 次元プロセスデバイスシミュレータ Advance/T-CAD を用いて検討した。

図 1 に 3 次元プロセスシミュレータによって作成した微細 MOSFET 構造を示している。ゲート長を 200nm とした。図 2 には、Si 基板上面から見たチャネル形状の様子を示している。図 2(a)台形チャネルは左側のゲート幅が 100nm、右側が 200nm である。(a)台形チャネルについては、(a1)左側電極がソース、右側電極がドレイン、および、(a2)左側電極がドレイン、右側電極がソースの 2 モデルについて検討した。また、(b)長方チャネルは、ゲート幅が 150nm の一様な形状とした。ソース・ドレイン領域は、3 次元プロセスシミュレータのイオン注入によって形成し、基板濃度は $10^{17}[\text{cm}^{-3}]$ 一定とした。

図 3 に I_d - V_d 特性を示す。耐圧計算の結果では、(a2)の場合が最も低い耐圧を示した。これは、ドレイン端のゲート幅が狭くなるほど電界集中が起きやすくなり、インパクトイオン化によるアバランシェ降伏が生じ、基板から流入する正孔電流が増加するためである。

謝辞：本研究の一部は(独)科学技術振興機構 A-STEP プログラムの助成を受けて行われた。

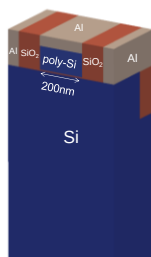


図 1: 解析立体モデル

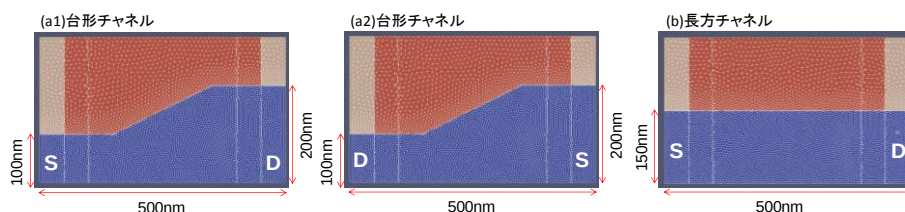


図 2: Si 基板上面パターン図 (a)台形チャネル、(b)長方チャネル

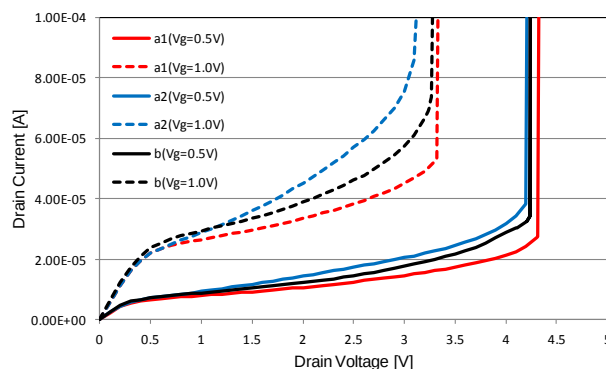


図 3: I_d - V_d 特性