

## マルチパターニングによる微細加工の可能性

### Enabled Scaling in Multiple-patterning

○八重樫 英民, 小山 賢一, 山内 祥平, 原 亜梨沙, 名執桜子, 大和雅俊,

岡部 憲明, 小池 恭平 (東京エレクトロン(株))

○Hidetami Yaegashi, Kenichi Oyama, Shohei Yamauchi, Arisa Hara, Sakurako Natori,

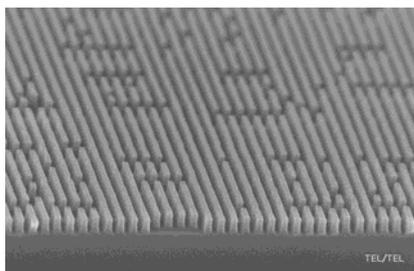
Masatoshi Yamato, Noriaki Okabe, and Kyohei Koike (Tokyo Electron limited)

E-mail: hidetami.yaegashi@tel.com

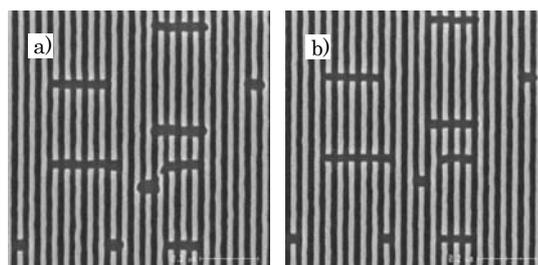
縮小投影法を用いた光リソグラフィ技術は 半導体デバイスの微細化要求に対応して発展を続け、その進歩を支えてきた。193nm 液浸技術に変わる次世代技術となる EUV(13.5nm)露光技術が未だ量産装置として完成に至っていないものの、デバイス加工の微細化は着実に進んでいる。既存の 193 液浸技術を用いて微細化対応させるために採用されたのがマルチパターニングで、メモリーデバイスからロジックデバイスへと広く用いられるようになった。この技術は大きくパターン分割型 (LLE,LELE など) と自己整合型 (SADP,SAQP など) に大別され 193 液浸技術の限界解像度である 40nm hp 以下の微細化を達成している。更に 微細化技術の負荷となるパターン解像度忠実度 (Pattern Fidelity) やプロセス安定性を向上するために デバイス回路上のデザインをランダム型から 1 方向型 (1D レイアウト) へ変更する傾向も更に強まっているのが現状である。

マルチパターニング技術は 手法としてパターン分割型 (Pattern-split type) と自己整合型 (Self-aligned type) とに大きく分類できる。前者は LELE (Litho-Etch-Litho-Etch) と呼ばれるように 従来通りのリソグラフィとエッチングを繰り返して狭ピッチ化を図る手法で、不規則なパターンでも任意に分割できる利点を持つ反面、露光工程が複数回に渡るため重ね合わせ精度の低下を引き起こす懸念がある。また、後者は当初 SADP(self-aligned Double patterning)と呼ばれ、1 度の露光工程を経るだけで狭ピッチ化が図れ、重ね合わせ精度が不問であると言う大きな利点を持つ(図一2)。メモリーデバイスのセル部のように大面積の繰り返しパターンを描画するのに適しているため、NAND FLASH メモリーデバイスで いち早く量産採用された。

本稿では、ロジックデバイスで採用されている Single-directional レイアウトを例に挙げてマルチパターニングの微細化適応と、設計データに対するパターン忠実度について検証結果を紹介する。



図一 22nm ノード gate 用パターン



図二 パターン忠実度の改善実証例

a)改善前 b)改善後