強誘電性高分子層の熱処理温度による強誘電体ゲート有機薄膜トランジスタのメモリ特性改善

Improvement of Memory characteristics in Organic Ferroelectric-Gate Thin-Film Transistors by Thermal Annealing of Ferroelectric Polymer Layer

°菅野 亮 [1,2], 関根 智仁 [1,2], 福田 憲二郎 [1,2,3], 熊木 大介 [1,2], 時任 静士 [1,2]
(1.山形大院理工, 2.山形大 ROEL, 3.JST さきがけ)
°Ryo Sugano[1,2], Tomohito Sekine[1,2], Kenjiro Fukuda[1,2,3], Daisuke Kumaki[1,2], Shizuo Tokito[1,2]
(1.Yamagata Univ., 2.ROEL, Yamagata Univ., 3.JST PRESTO)
E-mail: tmy94393@st.yamagata-u.ac.jp

【はじめに】薄膜トランジスタのゲート絶縁層に強誘電性高分子を用いた強誘電体ゲート薄膜トランジスタ (FeTFT) は、非破壊読出・不揮発性・高集積化に優れた次世代メモリの候補として注目されている。[1] 特に、塗布法での薄膜形成に優れており、プリンテッドエレクトロニクスへの応用が期待される。しかし、強誘電性高分子の薄膜物性に着目した有機 FeTFT の報告は少なく、その薄膜物性とメモリ特性の関係性は未だ明らかとなっていない。我々は、今回、強誘電性高分子層の熱処理温度に伴う膜構造の変化と有機 FeTFT の特性を詳細に調べたので報告する。

【実験】本研究では強誘性高分子を用いたキャパシタおよびボトムゲート・トップコンタクト構造の有機 FeTFT を作製した(Fig. 1)。FeTFT の作製手順は以下である。ゲート電極として Al を 30 nm 真空蒸着を用いて成膜した。次に、ゲート絶縁層として Poly(vinylydene-difluoride -trifluoroethylene) (P(VDF-TrFE), T_g/T_m=119/150°C, クレハ株式会社) を 450 nm 程度の膜厚となるようにスピンコート法を用いて成膜した。熱処理は 105~160°C の温度範囲で一時間行った。有機半導体として Dinaphtho [2,3-b:2',3'-f] thieno [3,2-b] thiophene (DNTT) を、ソース・ドレイン電極として Au をそれぞれ 50 nm の膜厚となるように真空蒸着を用いて成膜した。

【結果・考察】作製した FeTFT の伝達特性を Fig. 2 に示す。強誘電性高分子層の自発分極に起因した明瞭なメモリ特性が観察され、その特性は熱処理温度で大きく変化した。融点(T_m)以上の熱処理によって伝達特性はエンハンスメント型に変化するとともにオン電流が増大した。ゲート電圧が 0 V のときの“行き”, “帰り”のドレイン電流値をそれぞれ“0”, “1”電流と定義すると、融点以上で 10^4 以上の“0”, “1”電流値比を有する良好なメモリ特性を得た(Fig. 3)。この特性改善は、強誘電性高分子層の自発分極値の変化だけではなく、強誘電体-半導体界面のモルフォロジー等の変化に伴う閾値電圧シフトにも起因していると考えられる。

【謝辞】材料提供して頂いたクレハ株式会社様には深く御礼申し上げます。

[1] Ronald C. G. Naber et al., Nature Materials **4** (2005) 243-248.

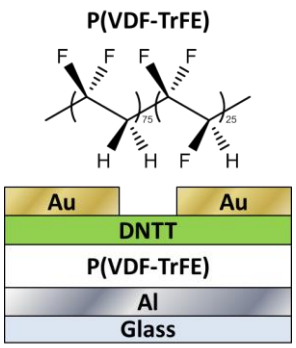

Fig. 1 Schematic diagram of a FeTFT device.

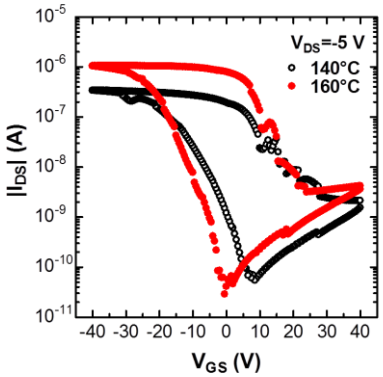

Fig. 2 Transfer characteristic of the FeTFT.

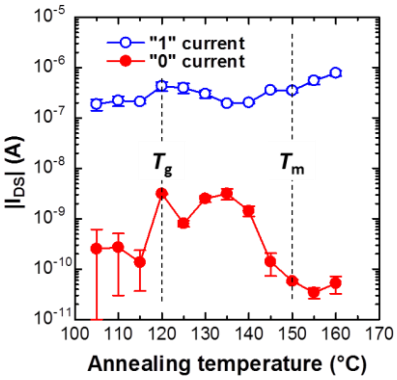

Fig. 3 Annealing temperature dependence of “0” and “1” current.

© 2015年 応用物理学会