

大口径化可能な貼り合わせ法によるSi上高性能InGaAs-OI MOSFETの作製

High Performance InGaAs-OI MOSFETs on Si by Novel Direct Wafer Bonding Technology applicable to Large Wafer Size Si

¹The Univ. of Tokyo, ²JST-CREST, ³Korea Institute of Science and Technology (KIST), ⁴IntelliEPI, Inc.,
[○]S. H. Kim^{1,2,3,*}, Y. Ikku^{1,2}, M. Yokoyama¹, R. Nakane¹, J. Li⁴, Y. C. Kao⁴, M. Takenaka^{1,2}, S. Takagi^{1,2}
 *E-mail: sh-kim@kist.re.kr

【背景】 次世代のCMOS材料としてInGaAsのようなIII-V化合物半導体の導入が検討されている。一方、微細化したMOSトランジスタにおいて、高駆動電流と短チャネル効果抑制を同時に実現するためには、FinやNanowireのような薄膜ボディを持つ構造の導入が重要である[1, 2]。そのため、我々は貼り合わせ法により作製したETB-OI (Extremely-thin-body-on-insulator)構造を持つInGaAs-OI MOSFETを実証してきた[3, 4]。しかしながら、これまでのデバイス実証ではInGaAs-OIを作るDonor基板としてInP基板を使っていたため、作製できるIII-V-OIのサイズは2-6インチに制限され、先端技術ノードへの適用には困難であった。そこで今回我々はSi上に成長したIII-V層を貼り合わせる方法により、Siウェハと同じ大口径化が可能なInGaAs-OIの作製方法について提案し、その結果を報告する。

【研究内容】 Fig. 1に貼り合わせ法によるInGaAs-OI基板の作製プロセスを示す。まず、Si上にInGaAs/InAlAs/GaAs層をmolecule beam epitaxy (MBE)にてエピタキシャル成長を行った。ここで後でチャネル層となるInGaAs層の厚さは9, 20, 50 nmとした。また、今回の実証ではコンセプトをまず示すため、4インチSi基板を用いたが、Donor基板がSiとなっているため、基本的には300 mm口径のSi基板にも適用可能なプロセスである。その後、Al₂O₃を成膜して表面平坦化のためのCMPを行った。さらにAl₂O₃/III-V/SiとAl₂O₃/Si基板にHfO₂を成膜してから2つの基板を貼り合わせた。最後に上からSi, GaAs, InAlAs層を順にウェットエッチングし、InGaAs-OI/Si基板を完成した。この基板を用いてInGaAs-OI MOSFETを作製し[3, 4]、電気特性を調べた結果をFig. 2に示す。まず、Fig. (a), (b)のI-V特性を見ると作製されたデバイスは非常に良好な伝達、出力特性を示していることが分かる。また、移動度も非常に高い値が得られ、特にボディ膜厚(T_{body}) 50 nmのデバイスにおいてはピーク移動度が1700 cm²/Vsに達し、Si MOSFETの3倍であった(Fig. 2(c))。さらに、InPをDonor基板として使った場合との比較を行うため、T_{body}に対する移動度をプロットしたのがFig. 2(d)である。SiをDonor基板として使ってもInP Donor基板の場合とほぼ同等な特性を示していることが分かる。これはSiをDonor基板として使う場合のInGaAsのクオリティーが非常に高いことを示唆する結果である。

【結論】 InGaAs-OI基板の作製においてDonor基板をInPからSiに変更することにより、300 mm基板に対応可能な方法を提案し、デバイス実証を行った。作製されたInGaAs-OI MOSFETは InPをDonor基板として使って作製したデバイス同等な電気特性を示した。

【謝辞】 本研究の一部はNEDO「省エネルギー革新技術開発事業」、MEXT「Grain-in-Aid for Young Scientist (A)」の委託により実施した。またATN Japanの支援に感謝する。

【参考文献】 [1] J. J. Gu *et al.*, *IEDM*, p. 633 (2012) [2] M. Radosavljevic *et al.*, *IEDM*, p. 765 (2011) [3] S. -H. Kim *et al.*, *VLSI*, p. 177 (2012) [4] S. -H. Kim *et al.*, *IEDM*, p. 429 (2013)

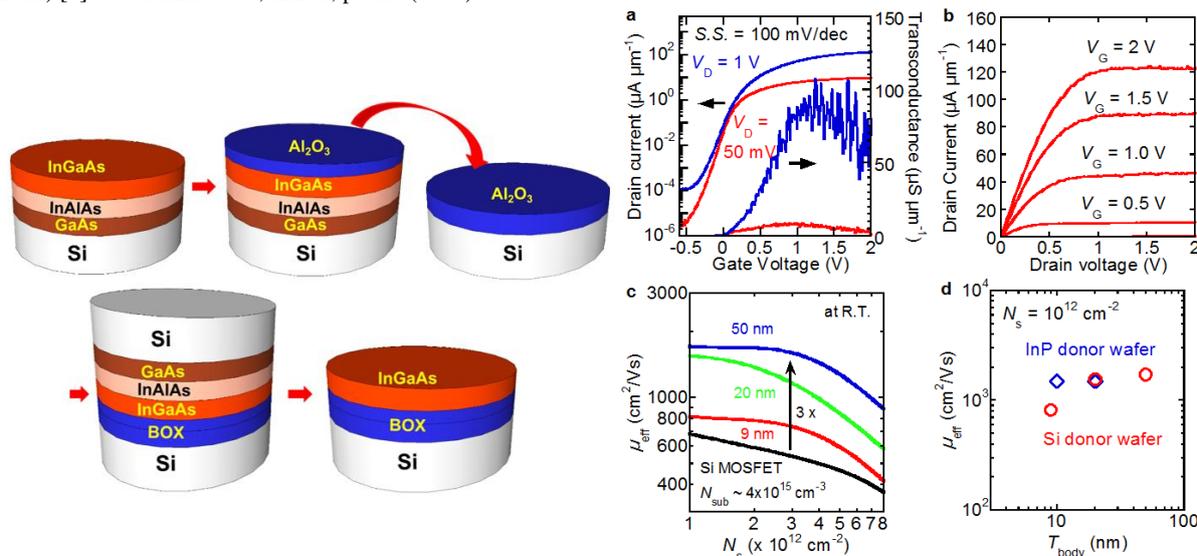


Fig. 1 (Left) Fabrication process flow of InGaAs-OI on Si wafer. **Fig. 2** (Right) (a) Transfer and (b) output characteristics of InGaAs-OI MOSFETs with a T_{body} of 9 nm, gate length of 1 μm. (c) Mobility characteristics of InGaAs-OI MOSFETs with a T_{body} of 9, 20, and 50 nm. (d) Mobility characteristics of InGaAs-OI MOSFETs on the wafer from InP and Si donor wafer as a function of T_{body}.