

結晶シリコン太陽電池における事前逆電圧印加による PID の抑制効果

Suppression of PID in c-Si modules by pre-applying reverse voltage

産総研 原 由希子、 増田 淳

AIST, Yukiko Hara, Atsushi Masuda

E-mail : yukiko-hara@aist.go.jp

【はじめに】

メガソーラーなどの高電圧下において、アルミフレームと内部回路に電位差が生じることにより発電量の急激な減少をもたらす電圧誘起劣化 (PID) 現象は、近年研究が進んでいるもののそのメカニズムは完全に解明されているわけではない。一方、PID は単なる劣化現象ではなく、逆バイアスの高電圧印加により回復することが知られている。この回復現象を応用することにより、PID 現象を抑制することに成功したので報告する。

【実験方法】

試験には結晶シリコン太陽電池単セルモジュールを用い、モジュールの受光面ガラスにアルミ板を密着させ、アルミ板に対して短絡させたセル端子に -1000 V の電圧を印加するアルミ法を採用した。まず、モジュール温度を 85°C に保ち、 -1000 V を3時間以上モジュールに印加することによりPIDが起きることを確認した。

次に、 $+2000\text{ V}$ を15時間先に印加したモジュールに対し、同様のPID試験を行った。 $+2000\text{ V}$ の印加条件はアルミ法で、温度は 85°C 、 60°C 、 25°C の3種類とした。 $+2000\text{ V}$ を先に印加した3種類のモジュールと、 $+2000\text{ V}$ を印加していないモジュールを比較した。各モジュールは、PID試験3時間毎に -1000 V の印加を停止し、電流電圧 (I-V) 特性およびエレクトロルミネセンス (EL) 像を評価した。

【結果と考察】

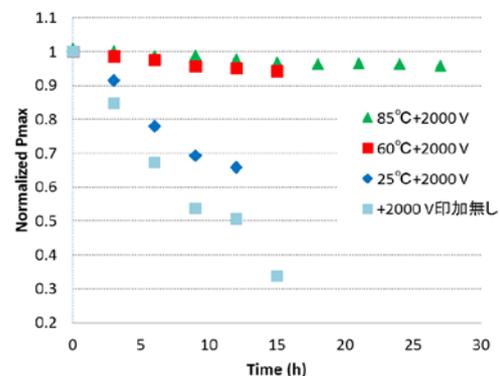
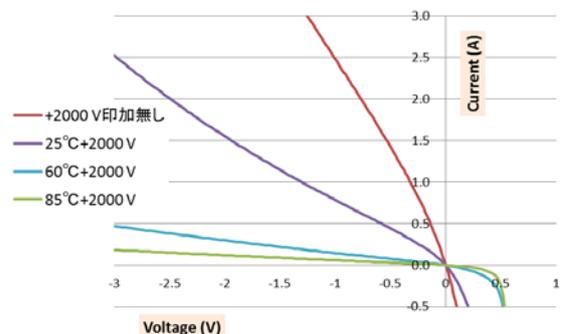
Fig. 1 に、 85°C 、 60°C 、 25°C のそれぞれの温度にて $+2000\text{ V}$ を印加した後PID試験を行ったモジュール及び $+2000\text{ V}$ 印加なしでPID試験を行ったモジュールの、3時間毎の最大出力 (P_{max}) の変化を示す。

$+2000\text{ V}$ 印加なし及び 25°C にて印加したモジュールと比較して、 85°C 及び 60°C にて $+2000\text{ V}$ の電圧を印加したモジュールは明らかに P_{max} の低下が小さい。Fig. 2 は Fig. 1 で示したそれぞれのモジュールにおいて、 -1000 V の電圧を12時間印加した際のダーク I-V 特性を示す。 P_{max} の低下はシャント抵抗の低下に起因し、 85°C 及び 60°C で $+2000\text{ V}$ を印加したモジュールでは、PID がほとんど起きていないことがわかる。

PID による発電量の低下はカバーガラスからの Na の拡散が主要因とする説が有力であり、温度が大きく寄与することが知られているが、今回の研究では逆バイアス電圧印加時の温度が抑制効果に影響を与えることがわかった。 $+2000\text{ V}$ 印加時にモジュール内の Na 分布が変化し、その後のPIDを起きにくくしていることが推測される。

【謝辞】

本研究は、新エネルギー・産業技術総合開発機構からの委託研究の一環として実施した。関係各位に感謝する。

Fig. 1. P_{max} 低下率の -1000 V 印加時間依存性Fig. 2. -1000 V の電圧を12時間印加後のダーク I-V 特性