

二段階 P イオン注入によるメタル/ n^+ Ge コンタクト低抵抗化と Ge n MOSFET の寄生抵抗低減 Reduction of parasitic resistance in Ge n MOSFETs with metal/ n^+ Ge junctions by two-step P-ion implantation

産総研 連携研究体グリーン・ナノエレクトロニクスセンター、*現所属: (株)東芝 研究開発センター

Collaborative Research Team GNC, AIST, *Present affiliation: Corporate R&D Center, Toshiba Corp.

○小池 正浩*, 上牟田 雄一*, 黒澤 悦男, 手塚 勉*

M. Koike*, Y. Kamimuta*, E. Kurosawa, and T. Tezuka*

m-koike@mail.rdc.toshiba.co.jp

Ge n MOSFET 開発において、メタル/ n^+ Ge のコンタクト抵抗(R_c)が高くなり、寄生抵抗(R_{PARA})が高くなることが問題になっている。メタルのフェルミレベルが Ge の価電子帯付近にピンニングされ、 n^+ Ge に対してはショットキーバリアハイト(SBH)が高くなるためである^[1,2]。

前回、二段階 P イオン注入(P-I/I)により p Ge(100)基板に NiGe/ n^+ Ge 接合を形成すると R_c が実効的に低減できることを報告した^[3]。最初の P-I/I で n^+ Ge 層を P が電氣的に十分に活性化する高温(600°C)で形成し、二度目の P-I/I で高い界面 P 濃度($\sim 2 \times 10^{20} \text{ cm}^{-3}$)の NiGe/ n^+ Ge を P が拡散しない低温(350°C)で形成する方法である。この方法によって n^+/p 接合リーク電流を増大させることなく、NiGe/ n^+ Ge の R_c を極めて低く($\sim 3 \times 10^{-8} \Omega \text{ cm}^2$)でできることがわかった。この効果は非ドーパント(Ar, Ge, O)では起こらず n 型ドーパント(P, As)で起こることから、NiGe/ n^+ Ge 界面の n^+ 層を高濃度化したことにより実効的に SBH 低減したためと考えられる。しかし Ge n MOSFET の R_{PARA} が、ゲートスタックが劣化しない温度(<600°C)で形成するゲートファーストプロセスの場合に、二段階 P-I/I によって低くできるかは明らかではない。

そこで今回、ゲートファーストプロセスの Ge n MOSFET(Fig. 1)を二段階 P-I/I によって様々な条件で作製し、 R_{PARA} が低減できるかを調べた。

素子分離形成した 4 インチ p Ge(100)基板(0.05–0.25 $\Omega \text{ cm}$)に TaN 電極/ Al_2O_3 ゲート絶縁膜を形成し($\sim 2.5 \text{ nm}$ EOT)、P-I/I ($1 \times 10^{15} \text{ cm}^{-2}$, 10 keV)した後に、ゲートスタックが電氣的に劣化しない低い温度(400 あるいは 500°C, 1 min)で熱処理して n^+ Ge S/D を形成した。そして SiO_2 堆積し、コンタクトホール形成後、追加 P-I/I (0, 2×10^{14} , 1×10^{15} , $5 \times 10^{15} \text{ cm}^{-2}$, 10 keV)して Ni(10 nm)をスパッター堆積し、低温熱処理(350°C)によって NiGe/ n^+ Ge 形成して、Ge n MOSFET($L_G=110\text{--}350 \text{ nm}$)を作製した。 R_{PARA} は I_D - V_G 特性を測定し、 R_{ON} - L_G プロットから見積もった。また R_c およびゲート・ソース(ゲート・ドレイン)間の n^+ Ge(1.6 μm)のシート抵抗 R_s は同一基板上のケルビンパターンを測定することにより見積もった。

n^+/p 接合の J - V 特性(Fig. 2)から、二段階 P-I/I によって逆方向の電流 $J_R(>0)$ は増大しないことを確認した。一方で、追加 P-I/I ドーズ量が高くなるほど順方向の電流 $J_F(<0)$ は増大し、 $J_F(-1\text{V})/J_F(1\text{V})$ 比は 7 桁を超える。これは R_c 低減を示唆している。

I_D - V_G 特性の結果によると、追加 P-I/I ドーズ量が高くなるほど、 I_{OFF} を増大させることなく、 I_D が増大することがわかった[Fig. 3(a), (b)]。これは R_{PARA} が低減するからである。

R_{PARA} は追加 P-I/I ドーズ量が高いほど、また n^+ Ge 形成温度が高いほど小さくなる(Fig. 4)。 R_{PARA} が低減するのは、 R_c が低減するからである。ケルビンパターンによって見積もった R_c , R_s によって R_{PARA} が R_c と R_s の和のほぼ二倍に対応することを確認した。 R_s は追加 P-I/I 無しの n^+ Ge 領域での測定値なので追加 P-I/I ドーズ量に対してはほとんど一定であるが、熱処理温度が 400°C より 500°C の方が低くなる。 R_c は R_{PARA} において支配的な成分であるが、二段階 P-I/I するとほぼ無視できるレベルまで低減できている。

このように、二段階 P-I/I は p Ge 基板上メタル/ n^+ Ge の接合リーク電流を増大させることなく R_c を低減できるため、Ge n MOSFET の I_{OFF} を低く維持しながら R_{PARA} を低減し、 I_D を高くできることが明らかになった^[4]。

本研究を進めるにあたり、多大なご協力をいただきました産総研テクニカルスタッフの方々に感謝致します。本研究は政府の最先端研究開発支援プログラムにより助成されたものである。

[1] M. Koike et al., APEX 4, 021301 (2011). [2] M. Koike et al., APL 102, 032108 (2013). [3] 小池他、応用物理学会春季学術講演会 (2014); M. Koike et al., APEX 7, 051302 (2014). [4] M. Koike et al., Ext. Abstr. SSDM, 698 (2014).

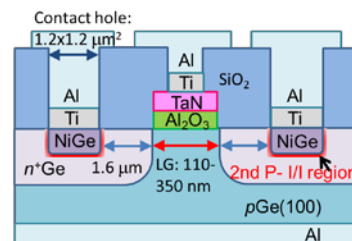


Fig. 1: Structure of Ge n MOSFET fabricated in the present study.

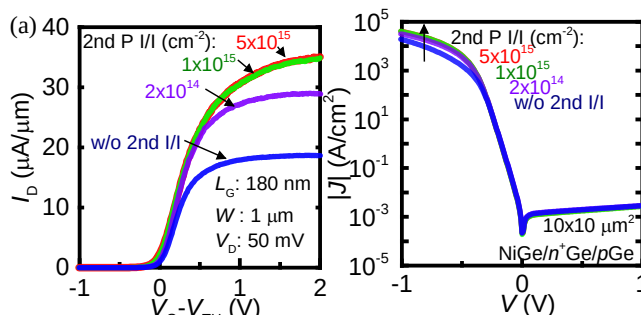


Fig. 2: J - V characteristics of NiGe/ n^+ / p Ge formed by two-step I/I, where n^+ Ge was formed at 500°C.

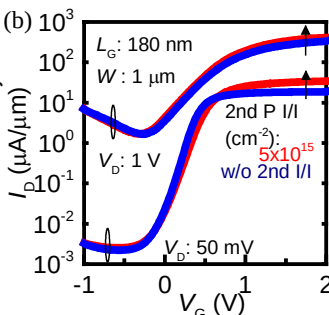


Fig. 3: I_D - V_G characteristics of Ge n MOSFETs with NiGe/ n^+ Ge junctions (Fig. 2). (a) Linear plots and (b) log plots.

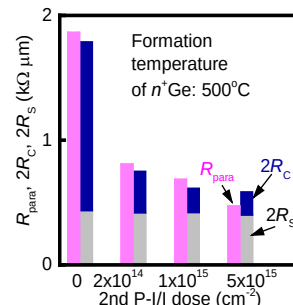


Fig. 4: Dependence of 2nd P-I/I dose on R_{para} , R_c and R_s .