

全光論理ゲート素子に向けた多重積層量子ドットの イオン注入と熱処理による組成拡散の検討

Highly-Stacked Quantum Dot Intermixing

by Ion-implantation and Annealing Technique for All-optical Logic Gate Devices

早大理工¹, 情報通信研究機構²

○武井 勇樹¹, 尾崎 太斎¹, 松本 敦², 赤羽 浩一², 松島 裕一¹, 石川 浩¹, 宇高 勝之¹

Waseda Univ.¹, National Inst. of Information and Communications Tech.²

○Y. Takei¹, T. Ozaki¹, A. Matsumoto², K. Akahane², Y. Matsushima¹, H. Ishikawa¹, and K. Utaka¹

E-mail: yuuki-takei@ruri.waseda.jp

【はじめに】我々は多重積層量子ドット構造 (QD)[1]を用いた半導体光増幅器(SOA)とポリマーリング共振器を集積させた光論理ゲート素子[2]の提案を行ってきた。また全半導体による集積性向上の点から、QD に Ar を用いた ICP-RIE による欠陥導入とその後の熱処理により組成混合(QDI)を行うことで受動導波路化し[3]、それを用いたリング共振器の検討を進めてきた[4]。しかし同時に基板を削ることになるため、QD-SOA と導波路領域の接続点で大きな段差が発生し、リソグラフィや電極作成が困難になる問題があった。そこで今回、段差発生が回避できる方法として、イオン注入により点欠陥を導入した QDI 作製法を検討したので報告する。

【実験手法】実験に用いた InAs/InAlGaAs 多重積層 QD ウエハは、QD 層数 30 層 (厚さ 600nm)、InAlGaAs 上部クラッド層厚は 2.0 μ m である。まず QD 基板にイオン注入(P または Ar)を行い、同時に欠陥を与える。この後、表面保護のためスパッタにより 80nm 程度の SiO₂ の成膜を行い、アニール炉を用いて基板を N₂ 雰囲気中 600 - 700 °C で短時間、熱処理した。

【実験結果】打ち込みイオンを Ar、加速電圧を 120keV、ドーズ量を $1 \times 10^{13} / \text{cm}^2$ とした時の QDI 前後の PL 発光波長ピークのシフト量のアニール保持時間に対する関係を Fig.1 に、温度に対する関係を Fig.2 に示す。従来の ICP-RIE による方法の約 150nm

よりも波長シフト量は小さいが、条件を適切にすることで同程度の値が期待され、QDI のエッチングによる大きな段差形成が無い QDI 導波路が得られることが分かった。

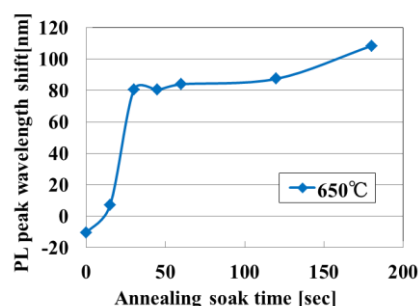


Fig.1 アニール保持時間に対するシフト量の関係

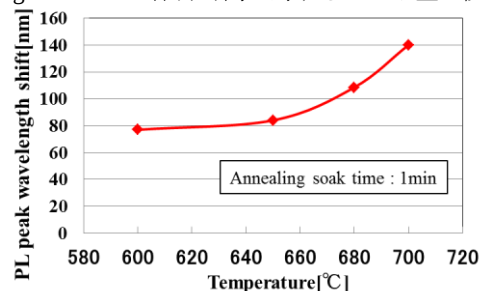


Fig.2 温度に対するシフト量の関係

【謝辞】本研究は一部 NEDO 「超低消費電力型光エレクトロニクス実装システム技術開発」と、JSPS 科研費若手 B 26820133 の助成を受けたものである。

【参考文献】

- [1] K.Akahane, et al., Photon. Technol. Lett., vol.22, No.2, pp.103-105, 2010.
- [2] A. Matsumoto, et al., JQE, 49, pp. 51-58, 2013.
- [3] 松下他、応物 2014 春、17p-PA2-12.
- [4] Y. Takei, et al., IPRM 2014, Mo B2-4, 2014.