

ノーマリーオフ GaN-PSJ トランジスタ

Normally-off GaN-PSJ FETs

株式会社パウデック¹ ○平田 祥子¹, 松本 壮太¹, 一丸 敬一¹, 斎藤 武尊¹, 八木 修一¹,
中村 文彦¹, 河合 弘治¹

POWDEC K.K.¹ ○Shoko Hirata¹, S. Matsumoto¹, K. Ichimaru¹, T. Saito¹, S. Yagi¹,

F. Nakamura¹ and H. Kawai¹

E-mail: info@powdec.co.jp

「はじめに」 GaN パワートランジスタの実用化への技術課題は、①コラプスフリー化、②高耐圧化、③ノーマリーオフ(N-off)化である。①,②はフィールド・プレート(FP)方式に代わって分極スーパージャンクション(PSJ)方式が提案され実証されてきた[1-2]。今回、PSJ-FET の N-off 化を試みたので報告する。

「素子作製と結果」 N-off 素子の構造を Fig.1 に示す。V_{th} 制御ゲート(G-1)と、耐圧ゲート(G-2)とに役割を分担した方式(2ゲート方式)とした。G-1 は、AlGaIn 層を ICP-RIE にて薄化し、SiN(10 nm)の絶縁膜を介して、Ni/Au 電極を形成した。G-2 は、p-GaN 上に Ni/Au オーミック電極を形成した。ソースおよびドレイン電極は Ti/Al/Ni/Au を採用した。ゲート長は L_{g1}=1.5 μm, L_{g2}=2 μm である。エピ構造は、p-GaN/u-GaN/AlGaIn(x=0.27, 40 nm)/u-GaN(1 μm)/LT-GaN(30 nm)/sapphire である。Fig.2 より、V_{th} は+1 V 程度であった。on 抵抗は V_{g1}=+5 V のとき、55 Ω/mm であった。Fig.3 の伝達特性より、逆リークゲート電流は 3E-10 A/mm と小さかった。ドレインリーク電流は、Fig.4 より、ドレイン電圧、V_d=200 V で 1E-9 A/mm 程度と小さかった。

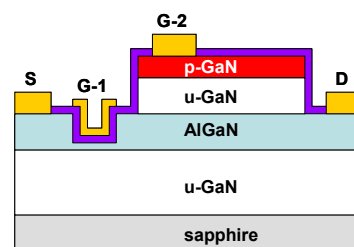


Fig.1. Device Structure.

「考察」 PSJ 効果により高耐圧性が得られた。非常に小さいドレインリーク電流の理由は、高電圧印加においても G-1 に高い逆電圧がかからないからである。これは1トランジスタ内でカスコード(Cascode)効果が生じていると見なせる。on 抵抗は G-1 のゲート長(L_{g1}=1.5 μm)が支配している。リソグラフィに i 線ステッパを用いることで、L_{g1} および L_{g2} 周りを縮小させることにより、高耐圧性を維持しつつ on 抵抗と周波数特性とを格段に向上させた N-off 化 PSJ-FET の実現が期待できる。

謝辞: 本研究は平成 25 年度 NEDO イノベーション実用化ベンチャー支援事業の助成を受けて行われた。

[1]八木 他、第 58 回応用物理学会学術講演会, (2011) 26a-P6-6, 2011

[2]八木 他、第 75 回応用物理学会学術講演会, (2014) 19p-PB2-14, 2014

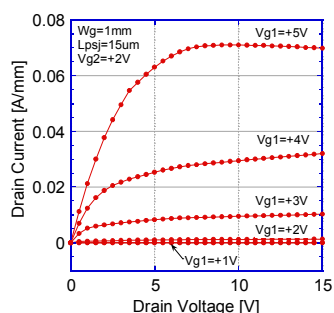


Fig.2. Id-Vd characteristics.

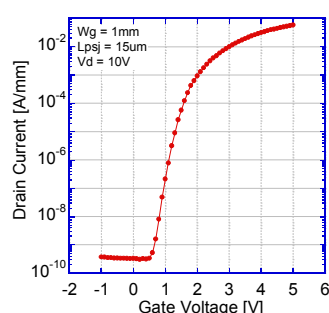


Fig.3. Transfer characteristics.

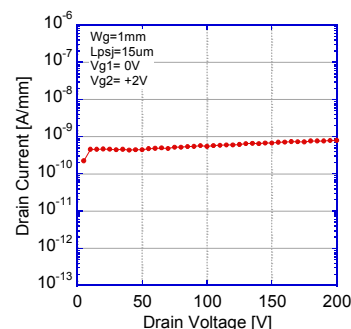


Fig.4. Off-leak characteristics.