GaN 基板上にプラズマ CVD で形成した SiO_2-MOS キャパシタの特性

MOS characteristics of SiO_2 deposited by plasma CVD on n-GaN substrate

○上野　勝典[1]、高島　信也[1]、松山　秀昭[1]、江戸　雅晴[1]、中川　清和[2]
(1. 富士電機、2. 山梨大)
°Katsunori Ueno[1], Shinya Takashima[1], Hideaki Matsuyama[1], Masaharu Edo[1], Kiyokazu Nakagawa[2]
(1.Fuji Electric, 2.Univ. of Yamanashi)
E-mail: ueno-katsunori@fujielectric.co.jp

[はじめに] GaN 系 FET は GaN の優れた物性値から次世代の低損失パワースイッチング素子として期待されている。パワー用途でのスイッチングデバイス実現には絶縁ゲート駆動でノーマリオフ型が望まれており、AlGaN/GaN 系横型デバイスではノーマリオフ化の一つの手法としてリセスゲート MOS チャネルや、近年は自立基板の普及に伴い縦型 MOSFET の開発も検討がされ始めた。これらの FET デバイスにおいて GaN 上の MOS 界面の制御は、FET の特性を左右する重要な要素技術であり、これまでは主にサファイア上や Si 上にヘテロエピ成長した GaN 結晶上で検討がなされてきた。近年高品質の GaN 基板が利用可能となってきたため、本研究では自立基板 n-GaN 上に作製した SiO_2-MOS キャパシタの界面特性について調べることを目的とした。

[実験方法] 高濃度 n 型の c 面 GaN 自立基板上に MOCVD にて成長した低濃度 n-GaN エピを用いた。TEOS を用いたプラズマ CVD 法で SiO_2 100 nm を 300～400℃にて成膜し、そのあと表面および裏面にアルミ電極を形成して MOS キャパシタを作製し *C-V* 特性の温度依存性を評価した。電極サイズは直径 100~800 μm とした。

[結果] 界面特性は hi-lo 法およびコンダクタンス法を用いて評価した。また *C-V* 特性の温度依存性から有効電荷の温度変化を求めた。まず、Fig.1 に *I-V* 特性を示す。堆積酸化膜ではあるが、10 MV/cm 程度の良好な絶縁性能と小さいリーク電流となっている。Fig.2 に室温で測定した *C-V* 特性の周波数依存性を示したように、周波数分散がほとんど見られず、hi-lo 法では D_{it} が<1E11 cm^{-2}/eV とほとんど検出限界であった。コンダクタンス法でも G/ω-f カーブのピーク位置が検出しづらく、D_{it} は 8E10 cm^{-2}/eV 程度が得られた。Fig.3 には 1MHz の *C-V* 特性の温度依存性を示す。この結果から、温度上昇とともにフラットバンド電圧 V_{fb} が正側へシフト（正電荷が減少）することが確認され、従来サファイア上ヘテロエピ GaN 上の MOS で観測された結果を再現した。

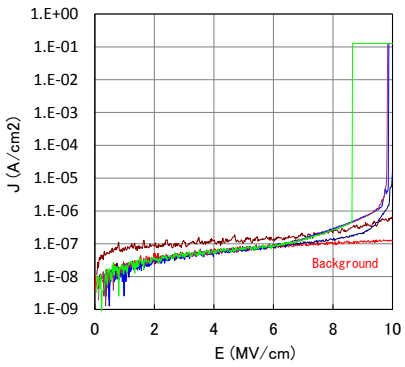

Fig.1 *I-V* characteristics of MOS capacitors

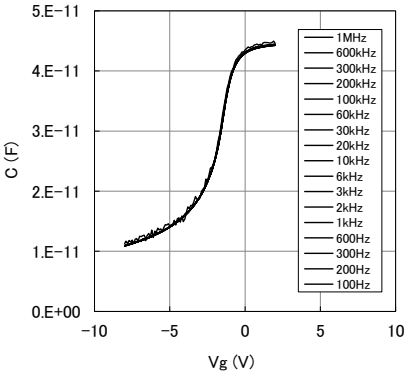

Fig.2 Frequency dependence of *C-V* characteristics at R.T.

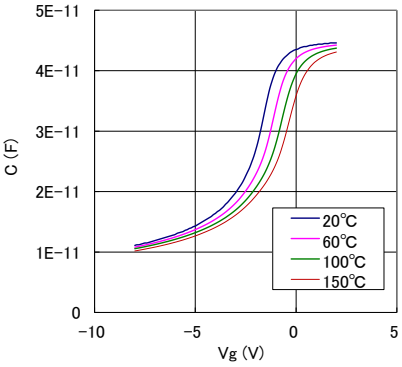

Fig.3 Temperature dependence of *C-V* characteristics at 1MHz

© 2015年 応用物理学会