

FPGA を用いた高速エレクトロマイグレーションによる Au ナノワイヤの狭窄化とコンダクタンスの制御

Tuning of Conductance of Au Nanowires Using FPGA-Controlled Electromigration

東京農工大院工 [○]加藤木悠、金丸祐真、佐藤秀亮、白樫淳一

Tokyo University of Agriculture & Technology

[○]Y. Katogi, Y. Kanamaru, S. Sato, and J. Shirakashi

E-mail: 50011257027@st.tuat.ac.jp

近年、原子スケールのナノギャップ電極を作製する手法としてエレクトロマイグレーション (EM) が注目されている。EM を利用したナノワイヤ狭窄化手法の一つとして、フィードバック制御型エレクトロマイグレーション (FCE) 法が知られており、これは、印加電圧をフィードバック制御することでナノワイヤにおける EM の発現強度を調整する手法である [1]。我々はこれまで、FCE プロセスに要する時間効率を改善するため、プログラマブルロジックデバイスである FPGA (Field-Programmable Gate Array) に FCE アルゴリズムを実装した独自のカスタムハードウェアによるマイクロ秒 EM 制御システムを構築してきた [2, 3]。今回は、所望のコンダクタンスを安定的に実現するアルゴリズムを FPGA に新たに実装し、Au ナノワイヤのコンダクタンスの制御性について検討した。

はじめに、EB リソグラフィーにより、幅 50 nm、長さ 300 nm の Au ナノワイヤを作製した。次に FCE での設定コンダクタンスを $25 G_0$ 、 $15 G_0$ 、 $5 G_0$ ($G_0 = 2e^2/h$) の 3 箇所を設定した。図 1 には、設定コンダクタンスが $15 G_0$ から $5 G_0$ に向けて移行した際の Au ナノワイヤのコンダクタンス G/G_0 および印加電圧 V とプロセス時間 T の関係を示す。図から、FCE により、時間の経過とともに $15 G_0$ までコンダクタンスが減少し、その後、 $15 G_0$ 付近 ($T = 21\text{--}24 \text{ msec}$) においてコンダクタンスの安定化 (コンダクタンスの量子化) を確認し、定電圧の印加によりコンダクタンスが $15 G_0$ 付近で維持されていることが確認できる。また、設定した時間での定電圧印加後、再び FCE を開始し、コンダクタンスが量子化されながら減少していることがわかる。本手法により、コンダクタンスの安定的な制御が可能であることが示唆された。以上から、本システムは高速かつ制御性が高いナノ構造形成技法として有効な手段であると考えられる。

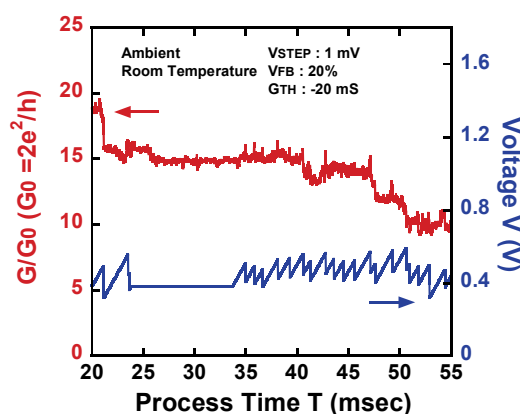


Fig. 1 Time evolution of the voltage V and the quantum conductance G/G_0 of the Au nanowire during the FPGA-based FCE.

References

- [1] D. R. Strachan et al., Appl. Phys. Lett., 86 (2005) 043109.
- [2] 金丸他: 秋季第 75 回応用物理学会学術講演会 19p-A7-11 (2014).
- [3] Y. Kanamaru et al., J. Vac. Sci. Technol. B 33 (2015) 02B106