第62回応用物理学会春季学術講演会 講演予稿集 (2015 東海大学 湘南キャンパス)

低温アニールによる GeNx 膜質改善

Improvement of GeNx film by the low temperature anneal

東京農工大学・工　○田中 佑治，岩崎 好孝，上野 智雄

Tokyo Univ. of Agri. & Tech.　°Y.Tanaka,　Y.Iwazaki,　and　T.Ueno

E-mail: 50014645119@st.tuat.ac.jp

Introduction

現在スケーリング則による MOSFET の高性能化は限界に近づいており、ゲート絶縁膜への High-k 材料の適用に加えて従来の Si よりも高い移動度を有する Ge の導入により更なる MOSFET の高速動作を図る研究が盛んに行われている。こうした背景から Ge に対して High-k 材料の導入が検討されているが、High-k/Ge 構造は High-k 金属に Ge が拡散して混晶反応が起こり、特性の劣化が報告されている。[1]この混晶を抑制するため High-k/Ge 界面に拡散防止膜を挿入する必要がある。

拡散防止膜として Ge の酸化物である GeO_2 が考えられるが水溶性や界面での GeO 脱離といった不安定性を有している。そこで本研究ではこれらの不安定性のない Ge 窒化膜の導入を検討している。ECR 窒化で製膜した GeNx 膜は主要な熱脱離とは別に～150℃と～440℃での N の熱脱離が観測された。これらは未結合または結合の弱い窒素が存在していると考えられるため、脱離の起きない 100℃での低温アニールによって結合の強化を図り電気特性の評価を行ったので報告する。

Experimental Process

作製したサンプルは以下の２つである。

HF 洗浄した p 型 Ge(100)基板に対し、

①　ECR 窒化し GeNx/Ge 構造を作製したもの

②　①のサンプルを 100℃窒素雰囲気でアニールしたもの

それぞれのサンプルを Al 電極蒸着後、C-V・I-V および XPS 測定を行った。

Results and Discussion

Fig.1 からアニールを施すことでヒステリシス幅の減少と蓄積容量の増加がみられた。Fig.2 からリーク電流値も 1 桁程度減少していることがわかる。構造の変化を比較するために GeNx のピークを分離した XPS 測定結果を Fig.3 に示す。さらに Ge^{4+} ピークに対するサブナイトライドピークの比をとり Fig.4 に示す。この結果から 100℃アニールしたサンプルは Ge^{1+} および Ge^{2+} のサブナイトライドピークの比率が減少している。よってサブナイトライドがアニールにより結合の組み替えが起こったと考えられる。これによって膜質が向上し CV 測定におけるヒステリシスおよび IV 測定のリーク電流が減少したと考えられる。また Fig.3 から Ge 基板に対する GeNx ピークの割合が減少している。これは 100℃のアニールで結合の組み替えと同時に窒素の脱離も行われ、窒化膜が薄膜化して容量値が増加したと考えられる。以上の結果から 100℃のアニールが窒化膜の欠陥を修復し、電気特性の改善が行われたと考えられる。今後は CV 測定の V_{FB} シフトの原因の調査とより良好な GeNx/Ge 界面の作製に努める。

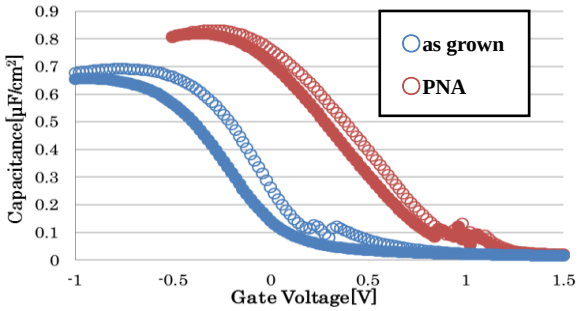


Fig.1CV characteristics

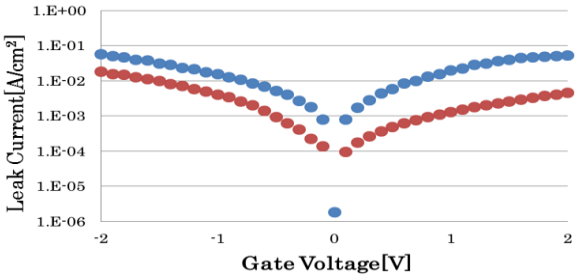
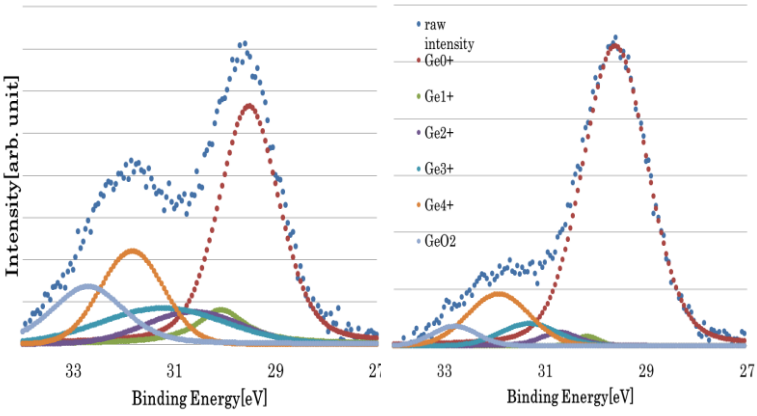


Fig.2 IV characteristics



(a)as grown　　(b)100℃　PNA

Fig.3 XPS Ge 3d spectra

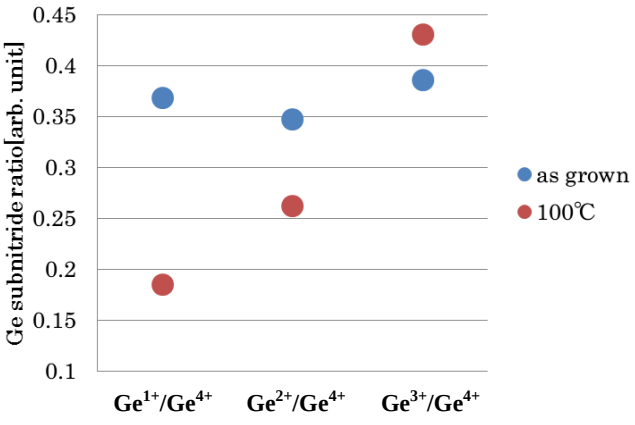


Fig.4 Ge subnitride /Ge^{4+}

Reference

[1]鈴木裕也　第 72 回応用物理学会秋季学術講演会,1p-Q-1(2011)

© 2015年 応用物理学会