

SiN ゲートスタックによる高キャリア移動度グラフェンチャネル FET

High carrier mobility graphene-channel FET using SiN gate stack

○玉虫 元、菅原健太、Mastura binti Hussin、末光哲也、

須藤亮太、吹留博一、末光眞希、尾辻泰一(東北大 通研)

○Gen Tamamushi, Kenta Sugawara, Mastura binti Hussin, Tetsuya Suemitsu,

Ryota Suto, Hirokazu Fukidome, Maki Suemitsu, Taiichi Otsuji (RIEC, Tohoku Univ.)

E-mail: tamamusi@riec.tohoku.ac.jp

背景 グラフェンは炭素原子が六員環構造を成す単原子材料である。線形分散かつギャップレスという特異なバンド構造に起因して、グラフェン中のキャリアは後方散乱フリーかつ有効質量が消失した Dirac 粒子として振る舞い、極限的に優れたキャリア輸送特性を示す[1,2]。近年、InP 系高電子移動度トランジスタ(HEMT)の登場により電力利得遮断周波数は 1 THz に達したが、根本的な微細限界や材料物性の律速により、更なる高周波化は難しい。グラフェンをチャネル材料とする電界効果トランジスタ(GFET, Graphene-channel Field Effect Transistor)は、トランジスタ速度性能限界を打破し得るポテンシャルを秘めている。本研究では GFET のゲートスタックプロセスを検討し、試作素子により秀逸なキャリア移動度を得たので報告する。

実験結果 我々はこれまで、酸化反応によるグラフェンへのダメージを抑制し得るゲート絶縁膜として SiN および SiCN の導入を検討してきた[3]。本報告では PE-CVD (Plasma Enhanced-Chemical Vapor Deposition)による SiN 膜をゲート絶縁膜材料として取り上げ、グラフェンへのダメージならびに界面化学反応を極力抑制し、かつ膜質・膜厚の均一性を確保するために、CVD 製膜におけるプラズマ電力を従来よりも低下させる方向で最適条件の抽出を試みた。膜厚 45 nm の SiN をゲートスタックとして作製した GFET(ゲート幅:10 μm , ゲート長:4 μm) (Fig.1)の入出力電圧電流特性における相互コンダクタンス実測値(Fig.2)から算出した電界効果電子移動度ならびに電界効果ホール移動度は、それぞれ 3,720, 1,270 cm^2/Vs であった。実測値よりコンタクト抵抗、アクセス抵抗等の寄生成分を de-embed した真性チャネル領域のチャネル抵抗-ゲートバイアス特性と理論式[4]とのフィッティング(Fig.3)によって求めた n チャネル動作時の真性電子移動度および p チャネル動作時の真性ホール移動度は、それぞれ 46,000, 101,000 cm^2/Vs と極めて高い値を示した。直流伝達特性に強いヒステリシスと大きな Dirac 電位シフト(Fig.2)が見られることから、グラフェン・SiN 界面におけるトラップ(ドナー)準位の存在が示唆される。界面準位の抑制は今後の課題であるが、プロセス改良によってグラフェン本来の極限的な高キャリア移動度が GFET デバイスレベルにおいても実現されることが期待できる。

謝辞 本研究の一部は科学研究費補助金・特別推進研究の支援を受けた。本研究の一部は東北大 通研付属 ナノ・スピン実験施設にて行われた。

参考文献 [1] A.K. Geim, K.S. Novoselov, *Nature Mater.* **6**, 183 (2007).; [2] F. Schwierz, *Nature Nanotech.* **5**, 487-496 (2010).; [3] T. Suemitsu et al., *ECS Trans.* **41**, 249-254 (2011).; [4] D. B. Farmer et al., *Appl. Phys. Lett.* **97**, 013103, (2010).

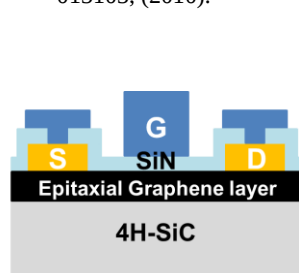
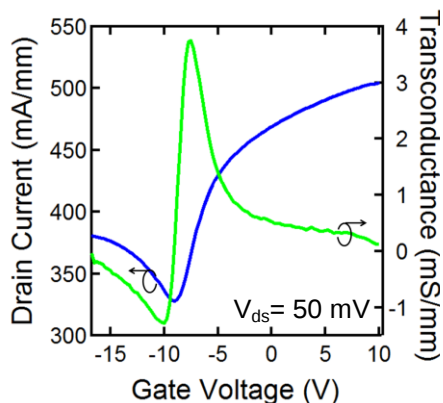
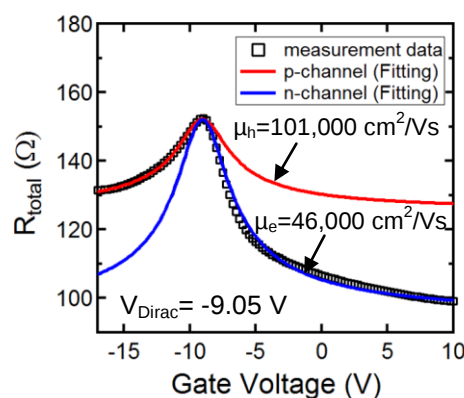


Fig.1: Device Structure.

Fig.2: I_d - V_g characteristics.Fig.3: R_{total} - V_g characteristics.