

圧電 MEMS 向けドライエッチングプロセスの開発

Development of Dry etching process for high-performance Piezoelectric MEMS Device

(株)アルバック 半導体電子技術研究所 °山本 直志, 小林 宏樹, 神保 武人, 上村 隆一郎

ULVAC, Inc., Institute of Semiconductor and Electronics Technologies

°Tadashi Yamamoto, Hiroki Kobayashi, Takehito Jimbo and Ryuichirou Kamimura

E-mail: tadashi_yamamoto@ulvac.com

【はじめに】圧電材料として利用される PZT ($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$) の薄膜を用いた圧電 MEMS (Micro Electro Mechanical System) デバイスは加速度センサやジャイロセンサ, さらに圧力センサなど様々なデバイスに応用されている。

我々はこれまで, 反応性イオンエッチング (RIE: Reactive Ion Etching) については従来型の PZT 膜を用いて良好な形状に加工できることを報告し¹⁾, 成膜プロセスでは CMOS (Complementary Metal Oxide Semiconductor) 搭載 MEMS デバイス向けの低温 PZT スパッタリングプロセスを報告した²⁾。

近年応用先の広がりや CMOS との融合により, 膜厚や膜構成さらには素子形状などが多様化してきている。このような多様化に伴い高い開口率や厚膜化, 微細化及び酸化物バッファ層の挿入など RIE の難度は高くなっている。今回我々は, 8 インチ Si 基板上にバッファ層を含む厚さ $2\mu\text{m}$ の PZT を上記の低温プロセスを用いて成膜し, 開口率 80% のフォトマスクを用いてエッチングを行い, 基板全面において良好な形状と特性を得たので報告する。

【実験方法】PZT 膜の成膜にはスパッタリング装置 (ULVAC 製; SME-200E) を用い, ドライエッチングには高密度プラズマ源 (ISM Plasma Source) を備えたエッチング装置 (ULVAC 製; NE-7800H) を用いた。膜構成は Si-Sub./ $\text{SiO}_2/\text{TiO}_x(0.03)/\text{Pt}(0.1)/\text{Buffer}(0.1)/\text{PZT}(2)/\text{Pt}(0.1)/\text{P.R.}$ とした。

エッチングプロセスは, 上部電極である Pt をエッチングし, 次に PZT のエッチングを行い, 最後にバッファ層をエッチングして下部電極の Pt を残す 3 ステップのエッチングプロセスとし, 処理後にフォトリジストをアッシング処理により除去した。

【実験結果】エッチングを行った試料の断面 SEM 観察結果を Fig.1 に示す。

良好な形状が得られており, 下部電極である Pt が十分に残っており, 特性も設計通りであることが確認できた。これらの結果は 8 インチ基板全面で達成されている。

【参考文献】

- 1) 山本直志 他 第 75 回応用物理学会秋季学術講演会, 19pA9-12
- 2) K.Suu *et al.* 17th US-Japan Seminar on Dielectric and Piezoelectric Ceramics, B-I-04

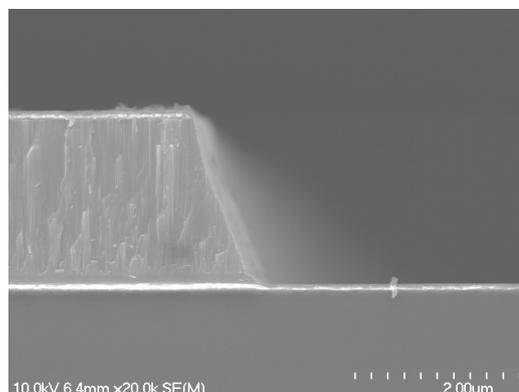


Fig1. Cross-sectional scanning electron microscope image of MEMS device.