

ナノキャパシタの第一原理解析—dead layer 効果と負のキャパシタンス

First-principles simulation of nanocapacitors

--dead layer effect and negative capacitance

○笠松 秀輔¹、渡邊 聡²、Seungwu Han³、Cheol Seong Hwang³

(1. 東大物性研、2. 東大院工、3. ソウル大)

○Shusuke Kasamatsu¹, Satoshi Watanabe², Seungwu Han³, Cheol Seong Hwang³

(1. ISSP, UTokyo., 2. DME, U Tokyo, 3. DMSE, Seoul National Univ.)

E-mail: kasamatsu@issp.u-tokyo.ac.jp

半導体デバイスのスケーリングを推進し、MOSFET の省電力化や DRAM キャパシタの容量向上の速度を維持するため、TiO₂ や SrTiO₃ などの high-k 誘電体薄膜の実用化が進められている。しかしながら、high-k 材料は界面近傍で誘電率が低下してしまう dead layer 効果が知られており、さらなるスケーリングへの障壁となっている[1]。一方、最近は多数の実験で強誘電体が負のキャパシタンスを示すことが報告されており、薄膜化を進めなくともキャパシタンスの向上を実現するものとして期待されている[2]。しかしながら、特にバイアス下でのドメイン構造の変化とキャパシタンスの関係について知見が不足しており、半導体デバイスへの応用は十分進んでいない。

そこで本研究では、バイアス印加下のキャパシタの第一原理シミュレーションによって、上記課題に取り組んだ。180 度ドメイン壁を有する強誘電体/常誘電体 2 層キャパシタ構造 (図 1) に対して計算を行ったところ、図 2 のようにバイアス電圧に対して反強誘電的なドメイン構造変化を示すことが分かった。そして、単一ドメイン状態では、図 1 のモデルから強誘電体の部分を除いて接合させたモデルと比べてキャパシタンスが増大しており、負のキャパシタンスが発現することを確認できた[3]。講演では、実際のプロセスでは必ず存在する格子欠陥が dead layer 効果や負のキャパシタンスに及ぼす影響についても議論する予定である。

[1] M. Stengel and N. Spaldin, *Nature* **443**, 679 (2006).

[2] G. Catalan et al., *Nature Mater.* **14**, 137 (2015).

[3] S. Kasamatsu et al., *Adv. Mater.* **28**, 335 (2016).

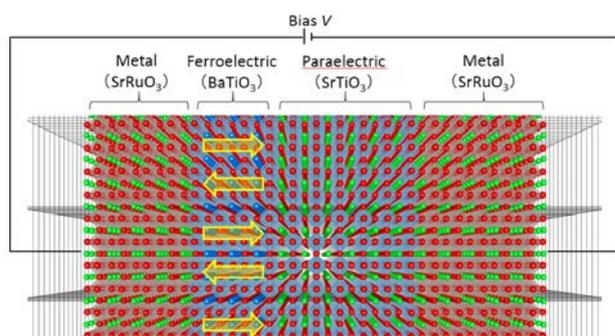


Fig.1: Metal-ferroelectric-paraelectric-metal capacitor model employed in this work.

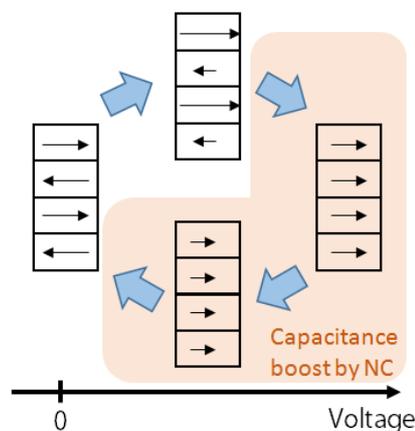


Fig. 2: Schematic of domain structure due to bias application.