サブ 0.2V の高エネルギー効率動作に向けた強誘電体 HfO_2 ダブルゲート負性容量 FET におけるゲートスタックのスケーラビリティ

On Gate Stack Scalability of Double-Gate Negative-Capacitance FET with Ferroelectric HfO_2 for Energy-Efficient Sub-0.2V Operation

東大生研 °蒋京珉, 更屋拓哉, 小林正治, 平本俊郎
IIS, Univ. of Tokyo °Kyungmin Jang, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, E-mail: kmjang@nano.iis.u-tokyo.ac.jp

【はじめに】MOSFET のさらなるエネルギー高効率化・低電圧化のためには、トランジスタの I_{on}/I_{off} 比を上げる必要があるが、サブスレッショルド(S)係数には室温で 60mV/dec という物理的な限界が存在する。この限界を越えるためさまざまな新しい FET が提案されている中、強誘電体をゲート絶縁膜に利用した負性容量 FET (Negative capacitance FET, NCFET)は有望である[1]。本研究では、最近発見され注目を集めている強誘電体 HfO_2 (FE:HfO_2)を用い[2]、強誘電体の材料特性や強誘電体・界面絶縁膜の膜厚がダブルゲート(DG)構造の NCFET の I_d-V_g 特性にどのように影響するかを系統的に調べた。また、これらの結果から、最先端の HKMG ゲートラストプロセスの制約を考慮し[3]、FE:HfO_2 NCFET のゲートスタックのスケーラビリティについて調べたので報告する。

【実験】DGNCFET のコンパクトモデル[4]を用いて解析的にシミュレーションを行った。DGNCFET のデバイス構造を Fig.1 に示す。FE:HfO_2 の材料特性(残留分極 P_r、抗電界 E_c)を実験報告から決め、FE:HfO_2 の膜厚(T_{fe})と界面絶縁膜の膜厚(T_{ox})が DGNCFET の I_d-V_g 特性、I_{on}/I_{off} 比に与える影響を調べた。また Fig.2 に示したようなゲートラストプロセスのプロセス制約を付与しゲートスタックのスケーラビリティを検討した。最後に DGNCFET のスイッチングエネルギーを計算し、DGMOSFET[5]と比較した。

【結果】(1) 強誘電体材料特性依存: P_r が小さいほど、また E_c が大きいほど、DGNCFET の I_{on}/I_{off} が大きくなることがシミュレーション結果から得られた[6]。(2) FE:HfO_2 の膜厚(T_{fe})と界面絶縁膜の膜厚(T_{ox})依存: T_{fe} が厚いほど、また T_{ox} が薄いほど、DGNCFET の I_{on}/I_{off} が大きくなる傾向が見られた(Fig.3)。(3) プロセス制約とゲートスタックの薄膜化: Fig.4 は DGNCFET の I_{on}/I_{off} を T_{fe} と T_{ox} の等高線表示にしたものである。$T_{fe}+T_{ox}<L_g/2$ というプロセス制約を点線で重ねた。FE:HfO_2 を DGNCFET ゲート絶縁膜として用いた場合、ゲートスタックが L_g=10nm 以下までもスケール可能であることが示された。(4) エネルギー効率比較: Fig.5 から DGNCFET は DGMOSFET に比べ、エネルギー効率が高く、低電圧動作に有利であることが確認できた。【謝辞】本研究の一部は JST PRESTO から支援を受けて行われた.

【参考文献】[1] S. Salahuddin *et al.*, Nano Lett, 8, p. 405 (2008) [2] T. S. Böscke *et al.*, APL 99, 102903 (2011) [3] C. H. Jan *et al.*, IEDM, p. 44 (2012) [4] D. Jiménez *et al.*, IEEE TED, 57, p. 2405 (2010) [5] H. Fuketa *et al.*, IEDM, p. 559 (2011) [6] M. Kobayashi *et al.*, VLSI symp., p. 212 (2015)

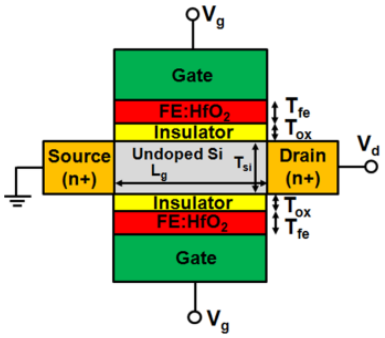

Fig.1 Schematic of a DGNCFET using ferroelectric HfO_2 as a gate insulator and an interfacial insulator.

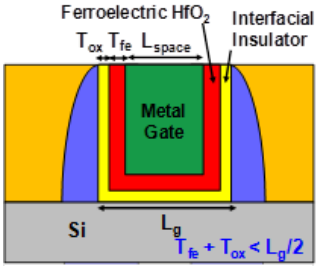

Fig.2 Schematic of a gate stack of NCFET with Gate Last HKMG process constraint of $T_{fe}+T_{ox} < L_g/2$.

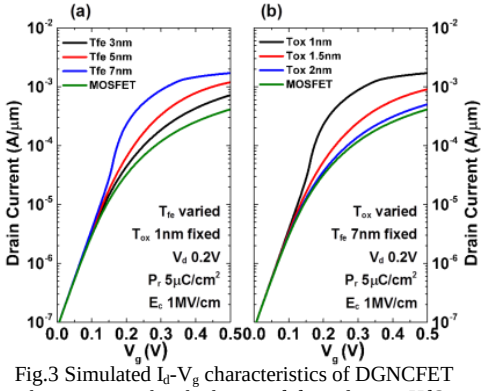

Fig.3 Simulated I_d-V_g characteristics of DGNCFET when varying the thickness of ferroelectric HfO_2 (T_{fe}) and interfacial insulator (T_{ox}).

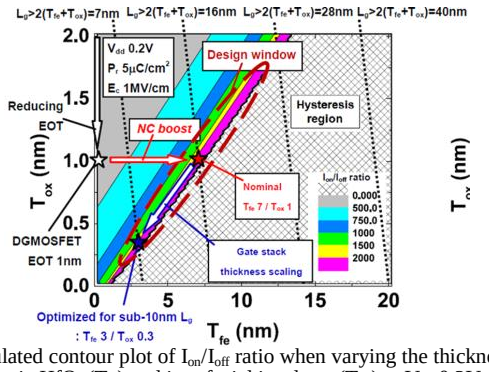

Fig.4 Simulated contour plot of I_{on}/I_{off} ratio when varying the thickness of ferroelectric HfO_2 (T_{fe}) and interfacial insulator (T_{ox}) at V_{dd} 0.2V.

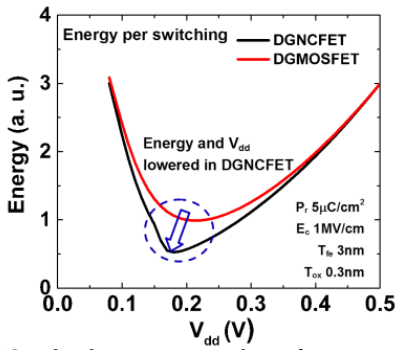

Fig.5 Simulated energy per switching of transistor operation for the DGMOSFET and DGNCFET with optimized gate stack.

© 2016年 応用物理学会