

ますます広がる材料・デバイスとプラズマプロセス

Plasma Processes for New Materials and Devices

光電子融合基盤技術研究所 (PETRA) ○木下 啓藏

PETRA, ○Keizo Kinoshita

E-mail: k-kinoshita@petra-jp.org

集積回路デバイスは急速な情報処理性能の向上を遂げ、それを用いた情報処理サービスが社会インフラを構成している。集積回路デバイスの特徴は、「微細化による情報処理密度の向上」と「新材料/新機能の集積」が可能という点である。微細化は、nm オーダー制御と同時に、Fin-FET のように三次元方向の形状制御へ展開している。また、新機能デバイスでは Si フォトニクスのように、従来は部品実装組立で構成されていたデバイスの集積回路化が始まっている[1]。さらに新材料の導入では、High-k、Low-k といった誘電体材料、Cu 配線、歪 Si チャンネルが実用化され、磁性多層膜材料もメモリー構造として集積化され始めている。

プラズマプロセスは集積回路デバイスを製造する基幹技術として、エッチング、CVD 等の製造工程で進化してきた。微細化の進展に伴い材料バルクよりも表面がデバイス性能に大きく影響するようになった結果、プラズマプロセスでは材料表面でのダメージ低減が重要課題である[2, 3]。また機能集積の進展により、同じプロセスであっても必要なプロセス性能が多様化している。図は(a)Si フォトニクス光電子集積回路デバイスの概略断面と、(b)光源用レーザー素子の実装構造作成例である。Si 導波路が埋まった 5 μm 厚の SiO₂ クラッド層をエッチングし、側壁をレーザー光導入窓とする。

Si フォトニクスのこの加工では LER の発生がレーザー光導入時の光散乱要因となるため重要課題となる。また、側壁角度の制御精度もポイントである。これらを従来にない μm オーダーの深掘り(長時間のプロセス処理)で成立させる必要がある。ここではプロセス性能(LER や側壁角度)とデバイス性能(光散乱損失)の定量比較を行い、過剰品質に陥ることなく完成度を実証する必要がある、プロセス評価にアイデアが期待される。

プラズマプロセスを用いて新材料・新デバイスに挑戦する際には「良好な材料性能が最終デバイスの性能として開花したことを示す」ことが求められる。講演では、デバイスへの種々の新材料導入時の技術検討例についても紹介する予定である[4-7]。本研究の一部は NEDO からの委託に基づき実施した。

参考文献

- [1] Y. Urino, et al., Photon. Res., 2, A1 (2014), [2] S. Uchida, et al., J. Appl. Phys., 103, 073303 (2008), [3] K. Eriguchi, et al., Jpn. J. Appl. Phys., 53, 03DE02 (2014), [4] K. Kinoshita, et al., Jpn. J. Appl. Phys., 51, 08HA01 (2012), [5] K. Kinoshita, et al., Jpn. J. Appl. Phys., 53, 03DF03 (2014), [6] K. Kinoshita, et al., J. Vac. Sci. Technol. A, 24, 2192 (2006), [7] K. Kinoshita, et al., MRS Conf. Proc. AMC2007, 513, (2008).

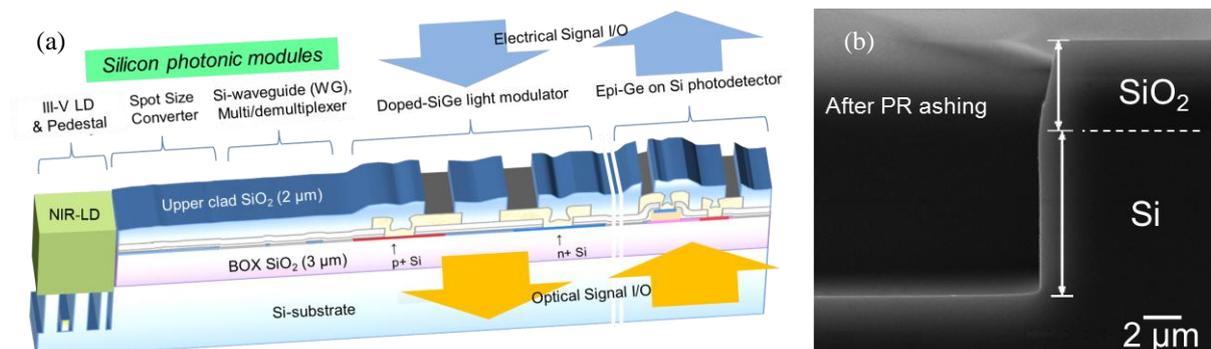


図 (a) Si フォトニクスデバイス構造概略図, (b) レーザー実装用深掘りエッチング構造