Ga ドープした Si 層/極薄 Si 酸化膜における熱伝導率の低減

Reduction of thermal conductivity in Ga-doped Si layers with ultrathin SiO_2 film

阪大院基礎工 [1], 北大高機構 [2], CREST-JST[3]
○奥畑 亮 [1], 上田 智広 [1], 成瀬 延康 [2], 渡辺 健太郎 [1,3], 中村 芳明 [1,3]
Osaka Univ. [1], Hokkaido Univ. [2], CREST-JST. [3],
°Ryo Okuhata[1], Tomohiro Ueda[1], Nobuyasu Naruse[2], Kentaro Watanabe[1,3], and Yoshiaki Nakamura[1,3]
E-mail: ryouokuhata129@s.ee.es.osaka-u.ac.jp

【背景・目的】熱電変換効率は、無次元性能指数 $ZT=S^2\sigma/\kappa T$ (S: ゼーベック係数、σ: 電気伝導率、κ: 熱伝導率)を用いて表され、高い ZT をもつ熱電材料が求められる。近年、ZT 向上のアプローチとしてナノ構造導入によるκの低減が注目されている。我々はσを維持して、フォノン散乱を誘起する構造として、極薄 Si 酸化膜を用いたエピタキシャル Si ナノドット (ND) 連結構造を提案した。その結果、バルク Si(κ~148 $Wm^{-1}K^{-1}$)と比較して大幅なκ低減 (κ~ 0.78 $Wm^{-1}K^{-1}$) に成功した[1]。しかし、同時に高いσを実現するにはフォノン散乱体とドーピングしたキャリア伝導層を空間分離した構造が必要であることがわかった[2]。その際、Ga をドーピングすることで、高い熱抵抗が観察されることを見出した。本講演では、極薄 Si 酸化膜上エピタキシャル Si 層において、Ga ドーピングより生じる高い熱抵抗について報告する。

【実験・結果】界面構造と熱抵抗の関係を調べるために、(a)極薄 Si 酸化膜で被覆した Si ナノドット上、及び、(b)極薄 Si 酸化膜上に、Ga ドープ Si 薄膜を固相エピタキシャル成長（SPE）した試料を作製した。以下に形成手法を示す。試料(a): Si 清浄表面を熱酸化（500ºC、酸素分圧 2.0×10^{-4} Pa）して極薄 Si 酸化膜を形成し、その上に Si 蒸着してナノ開口を形成した。その後 Si 蒸着（500 ºC）してエピタキシャル Si ナノドットを形成した後、表面に極薄 Si 酸化膜を形成した。さらに、Si 蒸着によりナノ開口を形成した後、Si と Ga を同時蒸着して 500 ºC、10 分間アニールを行い Ga-ドープ SPE 薄膜を作製した。試料(b) : 試料(a)と同様の条件で極薄 Si 酸化膜にナノ開口を形成した後、SPE 成長を行い Ga ドープ SPE-Si 層を形成した。試料(a)、(b)について、エピタキシャル成長を反射高速電子線回折・透過電子顕微鏡像から確認した。熱抵抗 TR (Thermal resistance) は、2ω法を用いて測定した。各構造の TR を図 1 に示す。比較の為、試料(c) : エピタキシャル Si ナノドット連結構造の一層当たりの TR、試料(d) : Si/SiO_2 の TR も示した。この厚みの Si 層部の TR は小さいため、試料の TR は界面熱抵抗に由来すると考えられる。試料(a)と(b)及び(b)と(d)の TR の差異から、ナノドットと Ga の導入により熱抵抗が増大するが、後者のほうがその効果が大きいことがわかる。これは Ga /SiO_2 界面の影響であると考えられる。

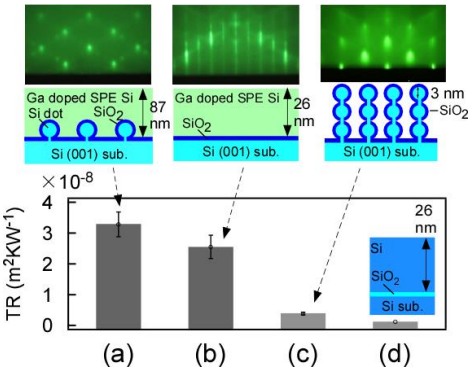

図 1　試料(a)-(d)の模式図と TR. 試料(d)は理論値.

[1] Nakamura, *et al.*, *Nano Energy* **12**, 845 (2015).
[2] Ueda *et al.*, *J. Electron. Mater.*, **45**, 1914 (2016).

© 2016年 応用物理学会