

線幅 2nm の超微細シリコンナノワイヤトランジスタにおける ドレイン電圧に起因する特性ばらつき

Increased Drain-Induced Variability and Within-Device Variability in Extremely Narrow Silicon Nanowire MOSFETs with Width down to 2nm

東大生研 ○水谷 朋子, 竹内 潔, 鈴木 龍太, 更屋 拓哉, 小林 正治, 平本 俊郎

IIS, Univ. of Tokyo ○Tomoko Mizutani, Kiyoshi Takeuchi, Ryota Suzuki, Takuya Saraya,

Masaharu Kobayashi, and Toshiro Hiramoto

E-mail: mizutani@nano.iis.u-tokyo.ac.jp

【はじめに】シリコンナノワイヤ (NW) トランジスタは、優れたゲート制御性により短チャネル効果抑制に効果的であり、将来有望なデバイスとして盛んに研究されている[1]. しかし、デバイスサイズが超微細であるため、特性ばらつきの増大が懸念される[2-4]. 前回我々は超微細シリコンNW トランジスタの線形領域 ($V_{ds}=50\text{mV}$) における IV 特性を測定し、しきい値電圧 (V_{TH}) ばらつきについて報告した[5]. 本研究ではさらに、飽和領域 ($V_{ds}=1\text{V}$) における IV 特性を測定し、DIBL (Drain-Induced Barrier Lowering) ばらつき、およびソース/ドレイン (S/D) を入れ替えたデバイス内 (Within-Device) ばらつきの統計解析を行い、そのばらつき原因について調査した[6]. ここで DIBL は $(V_{TH\ 50\text{mV}} - V_{TH\ 1\text{V}})/(1-0.05)$ と定義した.

【結果】SOI 基板上にイントリンシックチャネルゲート・オール・アラウンド(GAA)構造を有するシリコン NW nFET を作成した[7]. NW チャネルの高さ $H=3\text{nm}$, 長さ $L=100\text{nm}$ である. NW 幅 W_e を 7nm から 2nm まで変化させ、各 W_e について 170 nFET を測定した. Fig.1 に、DIBL の正規確率プロットを示す. DIBL ばらつきは $W_e=7\text{nm}$ では非常に小さいが、 $W_e=2\text{nm}$ まで減少すると急激に増大する. NW が細いほど増大するので、このばらつきはバリア障壁低下によるばらつきではない. 一般に、DIBL ばらつきは、S/D 間のポテンシャルプロファイルが非対称であるときに観測される[8]. デバイス内の対称性を調べるために、S/D 端子を入れ替えて IV 特性を測定した. Fig.2 は $\text{DIBL}_{\text{forward}}$ と $\text{DIBL}_{\text{reverse}}$ の相関プロットである. 両者にはほとんど相関がない. これは、S/D 間のポテンシャルプロファイルが非対称であることを示す. デバイス内の非対称性を定量化するために、トランジスタ特性 X のデバイス内ばらつき ΔX ($=X_{\text{forward}} - X_{\text{reverse}}$) を定義した[4]. Fig.3 は(a) ΔV_{TH} および(b) ΔDIBL の正規確率プロットである. ΔV_{TH} , ΔDIBL ともに $W_e=2\text{nm}$ では非常に大きく非正規なばらつきが見られるが、 $W_e=7\text{nm}$ ではほとんど見られない. 超微細 NW トランジスタ ($W_e=2\text{nm}$) の V_{TH} ばらつきは、NW 幅の揺らぎによって量子閉じ込め効果に起因する V_{TH} 揺らぎが原因で増大する[6,9]. 以上より、NW 幅が 2nm まで減少すると DIBL ばらつきおよびデバイス内ばらつきが急激に増大するのは、S/D 間の NW 幅の非対称性にとともに、量子閉じ込め効果も非対称性になることによることによって引き起こされると考えられる.

【謝辞】本研究の一部は文部科学省科学研究費補助金の支援を受けた.

【文献】[1] K. J. Kuhn, IEEE TED, vol. 59, p. 1813, 2012. [2] S. D. Suk et al., VLSI Tech. Symp., p. 142, 2009. [3] M. Saitoh et al., VLSI Tech. Symp., p. 132, 2011. [4] K. Mao et al., JJAP, vol. 51, 02BC06, 2012. [5] T. Mizutani et al., Silicon Nanoelectronics Workshop, p. 21, 2015. [6] T. Mizutani et al., Silicon Nanoelectronics Workshop, p. 138, 2016. [7] R. Suzuki et al., JJAP, vol. 52, 104001, 2013. [8] M. Miyamura et al., IEDM, p. 447, 2008. [9] H. Majima et al., IEEE EDL, vol. 21, p. 396, 2000.

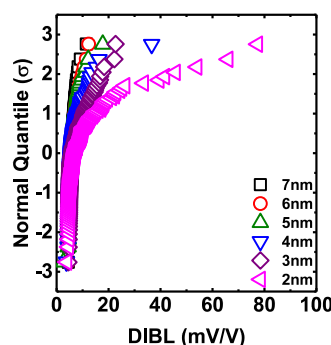


Fig.1. DIBL distributions of NW nFETs with various W_e .

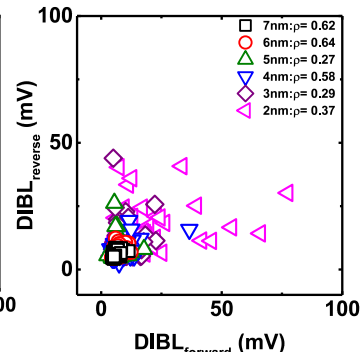


Fig.2. Scatter plots of $\text{DIBL}_{\text{forward}}$ vs. $\text{DIBL}_{\text{reverse}}$ of NW nFETs with various W_e .

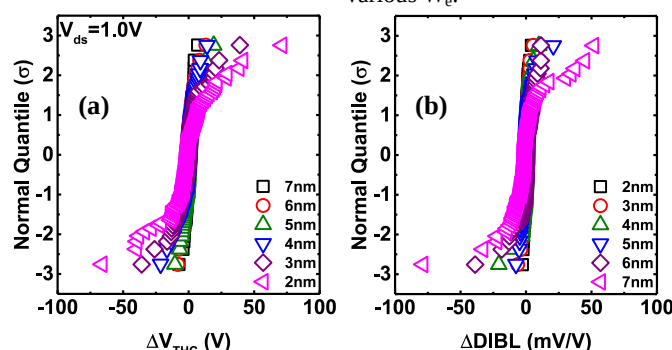


Fig.3. Distributions of (a) ΔV_{THC} at $V_{ds}=1.0\text{V}$ and (b) ΔDIBL in NW nFETs with various W_e .