SRAM セルアレーTEG を用いた電源投入直後データの測定

Measurement of SRAM Power-up Data using an Addressable Cell Array Test Structure

東大生研，早大* ○竹内潔、水谷朋子、篠原尋史*、更屋拓哉、小林正治、平本俊郎

Univ. Tokyo, Waseda Univ.*, ○Kiyoshi Takeuchi, Tomoko Mizutani, Hirofumi Shinohara*, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto

E-mail: takeuchi@nano.iis.u-tokyo.ac.jp

【はじめに】製造ばらつきを利用してデバイス毎に異なる固有の数値を生成する機能は Physical Unclonable Function (PUF)と称され、IC チップ識別や暗号用に用いることができる。SRAM の電源投入直後の初期データから固有数値を生成する SRAM-PUF[1]はその典型例である。我々は SRAM のばらつき評価のために設計された特殊なセルアレーTEG を用いて SRAM 初期データの測定を試みた。この TEG を用いると SRAM セル特性に加えてそれを構成する個々のトランジスタの I-V 特性も測定可能であり、SRAM 初期データとトランジスタ特性とを直接結びつけた評価が期待できる[2]。ただし初期データは様々な擾乱に対して敏感であり、正しい測定の実現には十分な注意が必要である。今回、上記 TEG を用いて良好な初期データ測定を実現するにはどうすれば良いかを検討した結果を報告する[3]。

【検討方法と結果】初期データは温度、電圧、電源昇圧速度などが全く同じであっても、ばらつきが小さく対称性が非常に良い一部ビットは 0 と 1 が毎回揺らぐ。初期的測定より揺らぎを引き起こす要因として (a) 内在雑音（1/f 雑音、熱雑音等）以外に (b) アドレス切り替え雑音、(c) 「記憶効果」（直前のデータの記憶が電源遮断後も残る）の存在が疑われた。これら要因を分離して把握するため、図 1 のようにアドレスを切り替えながら 128bit のビットごと繰り返し測定を実施し、測定値間のハミング距離 2 種（HDI: 間にアドレス切替なし、HDO: 間にアドレス切替あり）を評価した。特に工夫なく行った測定での評価結果を図 2 に示す。アドレス切替直後の HDO(1)が非常に大きいことが(b)の、HDI が HDO と比べ異常に小さい（連続した測定データ間の相違が不自然に小さい）ことが(c)の存在を示している。

【測定の改善】理想的な測定を実現するためには内在雑音以外の擾乱(b)と(c)を抑制することが必要である。これらはいずれも電源の昇圧を始める前に SRAM の内部ノードに電位差が残留していることが原因である可能性がある。そこで昇圧前に毎回セルのワード線にリセットパルスを加え、内部ノードを接地されたビット線に接続する動作を加えた。その結果、HDO と HDI の差は大幅に減少し、ほぼ理想的な測定が実現した（図３）。

【まとめ】TEG を用いた電源投入後初期データ測定において、アドレス切り替え雑音と記憶効果の影響が繰り返し測定データの解析より判明した。これら擾乱はワード線リセットパルスにより抑制できた。

本研究の実施においては STARC の支援を受けた。

[1] D. E. Holcomb et al., IEEE Trans. Computers, 58, p.1198, 2009.
[2] T. Hiramoto et al., IEEE Trans. Electron Devices, 58, p.2249, 2011.
[3] K. Takeuchi et al., IEEE Int. Conf. Microelectronic Test Structures (ICMTS), p.130, 2016.

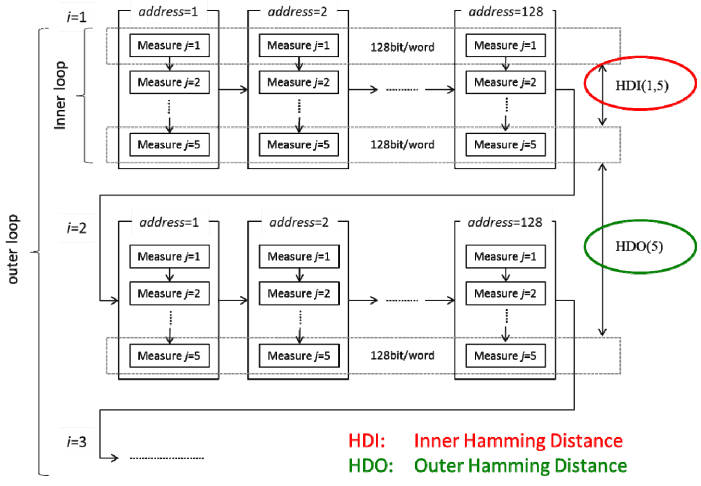

図1 測定の流れ。「Measure」が1回の電源立ち上げに対応。

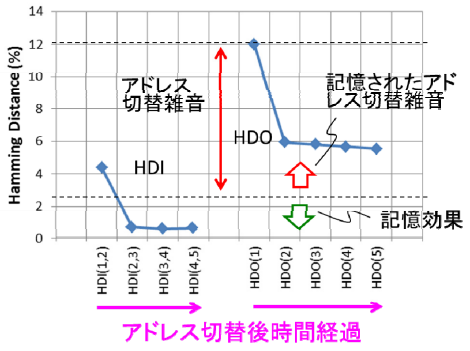

図2 擾乱対策なしでの測定結果。

図3 ワード線リセットパルスの効果。青線は図2と同データ。

© 2016年 応用物理学会