

# n 型 c-Si 太陽電池モジュールの電圧誘起劣化における飽和挙動

## Saturation behavior of the potential-induced degradation of n-type c-Si-wafer-based photovoltaic modules

○ 山口 世力<sup>1</sup>, 原 浩二郎<sup>2</sup>, 増田 淳<sup>2</sup>, 大平 圭介<sup>1</sup> (1. 北陸先端大, 2. 産総研)

○ Seira Yamaguchi<sup>1</sup>, Kohjiro Hara<sup>2</sup>, Atsushi Masuda<sup>2</sup>, Keisuke Ohdaira<sup>1</sup>

(1. JAIST, 2. AIST)

E-mail: s-yamaguchi@jaist.ac.jp

近年, 高い変換効率を有する n 型 c-Si 太陽電池が注目を集めている. Hara らは, n 型フロントエミッター c-Si (以下, 単に n 型 c-Si) 太陽電池モジュールが, 負のバイアス下で電圧誘起劣化 (PID) を生じることを報告し, この劣化が表面パッシベーション膜中への正電荷の蓄積に起因すると予想した [1]. しかしながら, 劣化の詳細な進行挙動や劣化メカニズムに関する知見は充分でない. 本研究では, n 型 c-Si モジュールの PID の試験時間依存性を調査し, 得られた結果に基づき, 劣化したセルの膜中の正電荷の起源を予測する.

SiN<sub>x</sub>/SiO<sub>x</sub> 積層パッシベーション構造を有する n 型 c-Si セルを 20 × 20 mm<sup>2</sup> の小片に劈開し, これを一般的なモジュール部材でラミネートすることで n 型 c-Si 太陽電池モジュールを作製した. PID 試験を, 85 °C にて, カバーガラス表面からモジュールの電極に対して −1000 V を印加することにより行った.

Fig. 1 の白丸は, 試験電圧 −1000 V における n 型 c-Si 太陽電池モジュールの規格化最大出力 ( $P_{\max}/P_{\max,0}$ ) の試験時間依存性を示している.  $P_{\max}/P_{\max,0}$  は試験時間 10 秒前後から徐々に低下し始め, 120 秒以内に飽和値に達する. 典型的な PID 試験条件下では Na が 80 nm の SiN<sub>x</sub> を通り抜けるのに 25 分程度の時間が必要であるため [2], p 型 c-Si 太陽電池と異なり, n 型 c-Si 太陽電池モジュールの PID は Na のセル中への蓄積に起因する現象ではないことが強く示唆される.

電荷蓄積の起源の候補として, SiN<sub>x</sub> 膜中に存在する K センターを考える. PECVD によって堆積した典型的な膜厚 80 nm の SiN<sub>x</sub> 膜中には, K センターが  $10^{12}$  cm<sup>−2</sup> のオーダーで存在する [3]. K センターは, 電気的に両性の欠陥であり, コロナ帯電等を用いて帯電状態を制御できることが知られている [3]. PID 試験の間, ガラス表面/セル間には  $\sim 0.1$  μA/cm<sup>2</sup> のリーク電流が生じており, この電流値から計算すると, 120 秒間で  $7.5 \times 10^{13}$  cm<sup>−2</sup> の電荷がセル表面に供給される. このことは, 120 秒以内という短時間で劣化が飽和する事実と矛盾しない.

電荷蓄積が K センターの帯電によるならば, 劣化の飽和値は K センターの密度に制限される. ゆえに, 試験電圧が変化しても, 劣化の飽和値は変化しないことが予想される. Fig. 1 に赤丸で示したように, 試験電圧を −1500 V にしても飽和値は変化せず, 劣化速度のみが変化する. この事実は, K センターが SiN<sub>x</sub> 膜の帯電の原因であるという仮説と矛盾しない.

Fig. 2 には, PC1D を用いて計算した, 表面に  $\sim 10^{12}$  cm<sup>−2</sup> の正の電荷を有する n 型 c-Si セルの  $J$ - $V$  特性を示す. 正の表面電荷を有するセルは n 型 c-Si モジュールの PID に特徴的な短絡電流密度と開放電圧の低下を示しており,  $\sim 10^{12}$  cm<sup>−2</sup> の表面電荷を仮定することで劣化挙動をうまく再現できることがわかった.

謝辞: 本研究は, NEDO 「高性能・高信頼性太陽光発電の発電コスト低減技術開発」の委託により実施された.

参考文献: [1] K. Hara *et al.*, Sol. Energy Mater. Sol. Cells **140**, 361 (2015), [2] M. Wilson *et al.*, Sol. Energy Mater. Sol. Cells **142**, 102 (2015), [3] V. Sharma *et al.*, Appl. Phys. Lett. **104**, 053503 (2014).

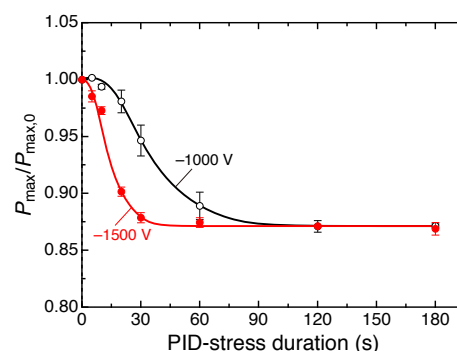


Fig. 1: Time dependence of  $P_{\max}/P_{\max,0}$  of the n-type c-Si modules undergoing the PID tests applying −1000 V or −1500 V.

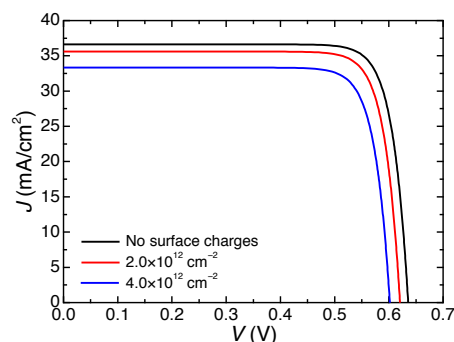


Fig. 2: Calculated  $J$ - $V$  curves of n-type c-Si cells without and with a surface charge of  $2 \times 10^{12}$  cm<sup>−2</sup> or  $4 \times 10^{12}$  cm<sup>−2</sup>.