

### 3次元実装構造を有する STJ のフリップチップ接続に関する研究

#### Flip chip bonding for STJ detector using 3D integration technique

埼玉大院<sup>1</sup>, 産総研<sup>2</sup> ° 畠山 聡起<sup>1</sup>, 森田 浩平<sup>1</sup>, 根本 俊介<sup>2</sup>, 菊地 克弥<sup>2</sup>, 仲川 博<sup>2</sup>,  
青柳 昌宏<sup>2</sup>, 成瀬 雅人<sup>1</sup>, 明連 広昭<sup>1</sup>, 田井野 徹<sup>1</sup>

Graduate school of Saitama Univ.<sup>1</sup>, AIST<sup>2</sup> ° S. Hatakeyama<sup>1</sup>, K. Morita<sup>1</sup>, S. Nemoto<sup>2</sup>, K. Kikuchi<sup>2</sup>,  
H. Nakagawa<sup>2</sup>, M. Aoyagi, M. Naruse<sup>1</sup>, H. Myoren<sup>1</sup>, and T. Taino<sup>1</sup>

E-mail : s\_hatake@super.ees.saitama-u.ac.jp

#### 1. まえがき

我々は、広帯域性と高速応答性が期待できる超伝導トンネル接合(Superconducting Tunnel Junction : STJ)を用いたフォトンアレイ検出器の開発を行っている。従来の検出器では、STJ に入射したフォトンによる信号は、STJ と同じチップ面に形成された配線を通じて伝送されるため、STJ 間に大きな配線領域を必要とした。この配線領域はフォトンの不感領域となり、アレイ数の増加に伴って広がるため、アレイ全体のフォトン検出効率を下げることになる。この問題を解決するため、我々は3次元実装構造を有する埋め込み型 STJ フォトン検出器を提案した<sup>[1]</sup>。この検出器の構造の特徴として、①STJ が基板内に埋め込んである点、②貫通電極を有する点、③別基板を用いてフリップチップ接続をする点、の3つが挙げられる。

本研究では、3次元実装構造を有する埋め込み型 STJ チップの裏面に形成した Nb 超伝導電極と別基板チップ電極間のフリップチップ接続性能を評価することを目的として、サンプルの作製とフリップチップ接続後の極低温環境下における電気的特性評価を行ったので報告する。

#### 2. サンプル作製とフリップチップ接続

本研究で使用したサンプルの概念図を図1に示す。同図において、基板2としてSi基板表面にNb配線を約300nm、Pb/In合金バンプを約3.5 $\mu$ mを堆積した。このバンプの直径は全て20 $\mu$ mで統一した。また、基板1の裏面にNbNを堆積し、2個のPb/InバンプとNbN電極とが接続するように設計した。この2つの基板をフリップチップ接続したときの接着面の状態や通電の確認を行った。

詳細については当日報告する。

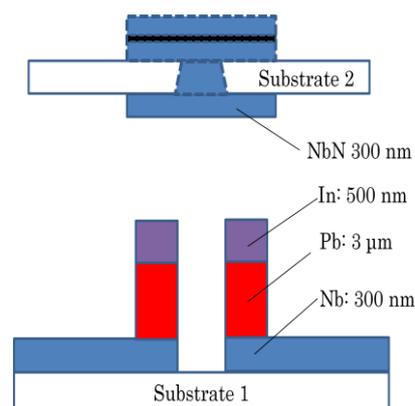


Fig.1 Cross sectional view of the used test sample

～参考文献～

[1] 松本他、第76回応用物理学会学術講演会, 14p-4A-20(2015)