

IZO 薄膜トランジスタのヒステリシス特性改善の検討

The Study on Improvement of Hysteresis characteristics of InZnO Thin-Film Transistors

大阪工業大学 ナノ材料マイクロデバイス研究センター

○大溝 悠樹*, 新屋 翔太郎, 小山 政俊, 前元 利彦, 佐々 誠彦

○Yuki Omizo, Shotaro Shinya, Masatoshi Koyama, Toshihiko Maemoto, Shigehiko Sasa

Nanomaterials Microdevices Research Center, Osaka Institute of Technology

* E-mail: m1m15311@st.oit.ac.jp

Introduction

我々の研究室では、酸化物半導体である酸化亜鉛 (ZnO) をチャネル層とした薄膜トランジスタ (Thin-Film Transistor : TFT) の高性能化を目的として研究を行っている。従来から、ZnO の導電性を高めるためにインジウムを添加した IZO (Indium Zinc Oxide) をチャネル層としたトランジスタに HfO_2 などの高誘電率ゲート材料を組み合わせ、高伝達コンダクタンス素子の作製プロセスを検討してきた。1) 従来は、これらの素子をフレキシブル基板などへの形成を想定し、非加熱プロセスで作製していたが、大きなヒステリシスを有するため、その低減を目指し熱処理プロセスとゲート絶縁膜の検討を行った。

Experiment

ガラス基板上に RF マグネトロンスパッタにより IZO を RF パワー100 W, 圧力 1 Pa, $\text{Ar} : \text{O}_2 = 9 : 1$ (総流量 3.0 sccm) の条件で堆積させた試料に対し熱処理を行った。その後、ウェットエッチングにより素子分離した後、フォトリソグラフィとリフトオフにより EB 蒸着した Ti/Au 電極や HfO_2 絶縁膜を形成し、TFT を作製した。その TFT 構造を図 1 に示す。

Results and discussion

非加熱で作製した素子とチャネル層形成後、酸素雰囲気中で 300°C 、60 分の熱処理を施した素子の伝達特性を図 2 に示す。熱処理により、ヒステリシスが低減し、ドレイ

ン電流値も増大し、 $S = 0.216 \text{ V/dec}$, $g_m = 0.725 \text{ mS/mm}$ が得られた。

熱処理により伝達特性に改善が見られたものの、多くの素子にヒステリシス特性が見られたため、ゲート絶縁膜を SiO_2 に変えたものも作製し、特性を評価した。詳細については、当日報告する。

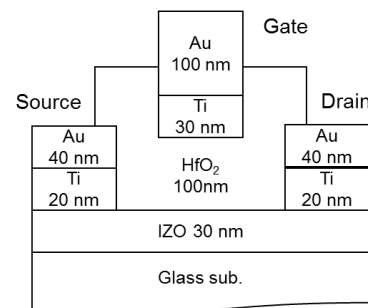


図 1 TFT 構造

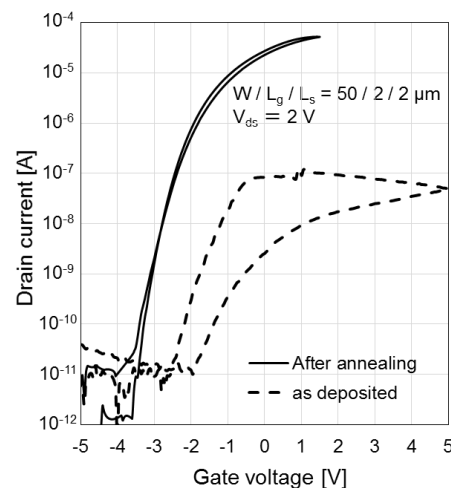


図 2 伝達特性。(実線が熱処理後)

References

1. T. Maitani, S. Sasa, T. Maemoto, and M. Inoue, 2009 Int. Mtg. for Future of Electron Devices, Kansai, pp. 80-81 (2009).