

Si ナノワイヤ型ジャンクションレストランジスタの 準バリスティック輸送特性の解析

Quasi-ballistic transport analysis of Si nanowire junctionless transistor

神戸大工, °清水 良馬, 一居雅人, 相馬聡文, 小川真人

Kobe Univ., °Ryoma Shimizu, Masato Ichii, Satofumi Souma, Matsuto Ogawa

E-mail: 161t226t@stu.kobe-u.ac.jp

ジャンクションレストランジスタ (JLT) は、ソース/チャネル/ドレイン領域の不純物の極性と密度が均一で pn 接合が存在しない。このため、微細化に適したデバイス構造となっている[1]。JLT の実用化に向けては、その特性のシミュレーションによる予測、特に、チャネル長が平均自由行程と同程度の大きさにまで縮小された準バリスティック領域での特性の理解が重要である。そのような準バリスティック輸送下においては移動度や飽和速度の概念は成立しなくなるため、後方散乱係数 R を用いた準バリスティック輸送解析が有用となる[2]。JLT の後方散乱係数 (準バリスティック輸送) についてはダブルゲート (DG) 構造 JLT では文献[3]で報告されているが、Si ナノワイヤ (NW) 型 JLT では未だ報告されていない。本稿では、3次元モンテカルロシミュレーションを用いて SiNW-JLT の後方散乱係数を解析し、DG 構造 JLT との比較ならびに従来 (反転層) 型 SiNW-MOSFET との比較を行った結果を報告する。

計算に用いた SiNW-JLT の構造を Fig.1 に示す。ゲートオールアラウンド構造を採用し、チャネル長は 10nm、チャネル断面サイズは 3nm、そしてゲート酸化膜厚は 1nm とした。Fig. 2 に 3次元モンテカルロシミュレーションによって得られた $I_D - V_G$ 特性を示す。比較のために従来型 Si ナノワイヤトランジスタの結果も示している。しきい値電圧は $0.01 \mu A$ のときの電圧と定義した。その結果 S 値は各々 74 mV/dec と 75 mV/dec と算出され両者は良好なオンオフ特性を示すことが確認できた。次に Fig. 3 に SiNW-JLT の R のゲート電圧依存性を示す。ゲート電圧増加に伴い R は一旦上昇するが、高電界時には減少することが確認できる。次に SiDG-JLT の R の結果[3]を Fig. 4 に示す。DG 構造では高電界時に R が増大しており、NW 構造と DG 構造では逆の振る舞いを示すことが分かる。この違いは、フォノン散乱レートとラフネス散乱レートが電子の状態密度に比例することが原因であり、DG 構造の二次元電子ガスの状態密度と、NW 構造の一次元電子ガスの状態密度のエネルギー依存性の違いに起因すると考えられる。

参考文献 [1] J. Colinge et al., *Nature Nanotech* 5 (2010)225. [2] H. Tsuchiya et al., *IEEE-TED* 53 (2006)2965. [3] M. Ichii et al., *IEEE-TED* 62 (2015) 1255.

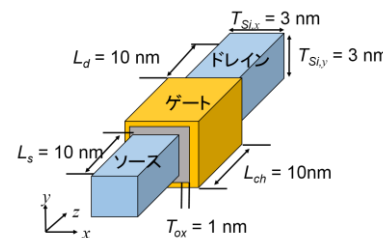


Fig. 1 Device structure.

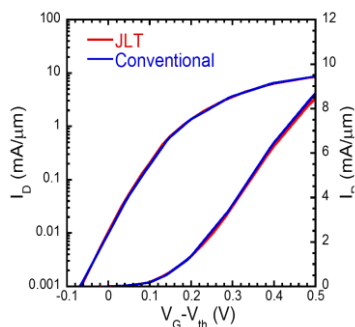


Fig. 2. $I_D - V_G$ characteristics.

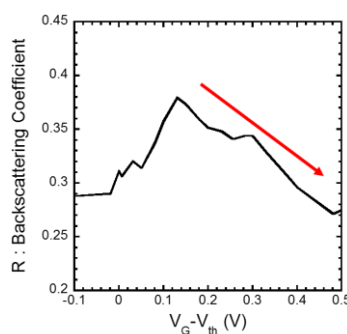


Fig.3. V_G voltage dependence of R in SiNW-JLT.

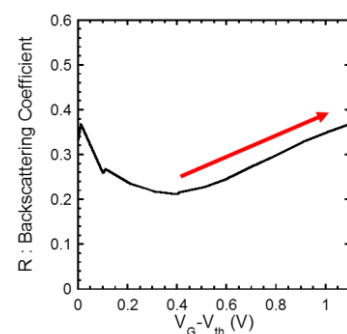


Fig.4 V_G voltage dependence of R in SiDG-JLT [3].