

Al 誘起横方向成長を SD に利用したガラス基板上の平面型自己整合メタルダブルゲート低温 poly-Ge TFT

Self-Aligned Planar Metal Double Gate Low-Temperature Poly-Ge TFTs on a Glass Substrate Using Al-Induced Lateral Growth on SD Region

°原 明人¹、西村 勇哉¹、大澤 弘樹¹ (1.東北学院大工)

°Akito Hara¹, Yuya Nishimura¹, Hiroki Ohsawa¹ (1.Tohoku Gakuin Univ.)

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】 GeはSiと比較して優れた電気特性を有するために次世代のMOSFETとして期待されている。さらにSiよりも低温プロセスが可能ことから、ガラスやプラスチック上の薄膜トランジスタ(TFT)¹⁾、さらに3D-LSIのTFT²⁾として注目されている。一般にpoly-Ge薄膜は強いp型(高い正孔濃度)の特性を持つため、オフ電流が高い。ガラスやプラスチック上にpoly-Ge TFTを展開するためには、この問題点を低温、簡単、安価なプロセスで克服しつつ、TFT性能を向上することが要求される。今回、我々が開発してきた平面型自己整合メタルダブルゲート(DG)ジャンクションレス(JL) p-ch 低温(LT) poly-Ge TFT³⁾に対して、SD領域の最適化を試み、性能向上を実現したので報告する。

【実験】図1は作成するデバイス構造である。ガラス基板上にスパッタ法によりMoの堆積後、フォトリソグラフィとウェットエッチングによってボトムメタルゲートを形成する。引き続いて、厚さ30 nmのSiO₂をPECVDによって成長した。次に、15 nmのa-Ge膜をスパッタにより形成し、トランジスタアイランドを形成後、キャップ層として30nmのSiO₂をPECVDで形成した。このSiO₂膜はトップゲート絶縁膜としての役割も果たす。次に、SPCのため500°C 10hの熱処理を行った。トップとボトムのメタルゲートを連結するためにコンタクトホールを形成したのち、トップメタルゲート用のMoを堆積した。トップゲートメタルは、ボトムゲートメタルをマスクとした背面露光により、ボトムゲートに対して自己整合的に形成されている。その後、層間絶縁膜を形成後、Al-Nd電極を形成した。最後に300°Cのfinal annealingを行った。これによりSD領域のAl合金化を行った。この際、コンタクト部からAlがGe中にラテラルに成長してくるため、その距離を調整することによりSD抵抗を調整することができる。

【結果と考察】図2は形成したTFTのゲート部の断面TEMである。ほぼ設計どおりの構造が形成されている。Geはポリ化しているが、界面の凹凸が非常に大きい。この点は改良が必要である。図3は、Al誘起横成長の時間を最適化し、Al横成長領域をチャネルの直近まで接近させた場合のTFT特性を示している。On/off比において10³、移動度20 cm²/Vs を実現した。なお、この移動度は、上下のゲートを連結して動作させているため、見かけの移動度である。

【まとめ】平面型自己整合メタルDG JL p-ch LT poly-Ge TFTをガラス基板上に形成し、on/off比10³、移動度20 cm²/Vs を実現した。結晶化を除けばプラスチック基板に対応可能なプロセス温度で形成されていることも注目に値する。今後はhigh-k絶縁膜を導入し高性能化を図る。

【参考文献】

1. T. Sadoh et al.: Appl. Phys. Lett. 89, 2006, 192114.,
2. Jin-Hong Park et al.: Tech. Dig. 2008 IEDM, 579 (2008).
3. 西村 その他: 電子情報通信学会 信学技報 Vol.115, No.362, pp.43-47 (2015), 西村 その他: 2016 年春応用物理学会 20p-S423-3, A. Hara et al.: Tech. Dig. of 2016 AMFPD.

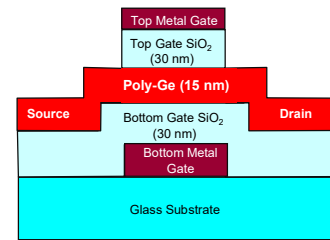


図1. デバイス構造

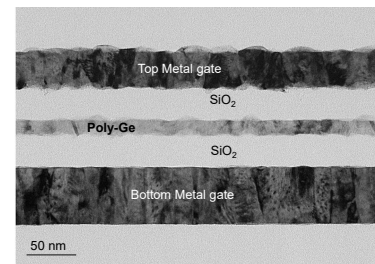


図2. 断面 TEM

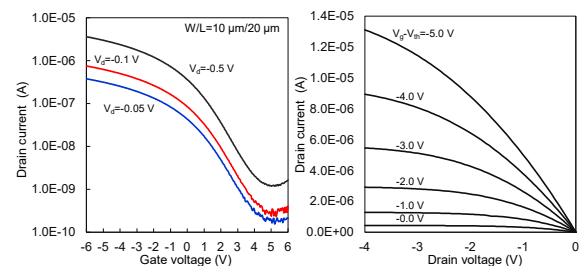


図3. (a) トランスファ特性 (b) 出力特性