

フォトリソグラフィとUVキュア処理によるナノギャップ電極アレイ形成

Nano-Gap Electrode Array Prepared by Photolithography and UV Curing Processing

豊工大¹, 名大² 糸内真子¹, 熊谷慎也¹, 趙亨峻², 近藤博基², 石川健治², 堀勝², [○]佐々木実¹

Toyota Tech. Inst.¹, Nagoya Univ.² Mako Kumeuchi¹, Shinya Kumagai¹,

Hyungjun Cho², Hiroki Kondo², Kenji Ishikawa², Masaru Hori², [○]Minoru Sasaki¹

E-mail: mnr-sasaki@toyota-ti.ac.jp

ナノギャップ電極は、ナノ物質の電気特性を評価する基本構造である。通常は、電子ビーム描画により製作されるが、1点に収束させた電子ビームを走査するためスループットが低い。フォトリソグラフィは解像度が低いものの、並列処理のためスループットが高い。我々は、ポジ型フォトリソレジストを UV キュア処理すると、シンナーや現像液に対してパターン崩れしないことに着目し、微細加工に適用してきた[1]。本研究では、サブ μm パターン形成への応用を試みた。

図1にプロセス原理を示す。予め金属 Cr 膜を通常通りパターンニング、エッチングしておく。レジストを UV キュア処理し、もう一層レジストをスピコートし、全面露光する。UV キュアしたレジストは光を遮り、周辺にわずかな影を形成する。この影部分のレジストが現像で残り、サブ μm 幅のパターンとなる。このレジスト膜上に再度 Cr 蒸着する。最初の Cr 膜の先端部と上下に重なるように、2層目 Cr 膜をパターンニングする。図2は製作途中の電極アレイである。レジスト膜を除去すると、基板に密着した Cr 膜のみが残り、サブ μm ギャップとなる。

図3に光学顕微鏡により測長したギャップ幅を示す。幅は $350 \pm 80\text{nm}$ であった。光学的にギャップが確認できたものは、1408 個中 836 個であった。図4は電子顕微鏡写真の例である。光学顕微鏡では判別できなかったものでも、約 200nm のギャップが確認できた例があった。

[1] T. Iwamoto et al., 電学論 E137 (2017) 印刷中。ナノテクプラットフォーム事業を利用した。

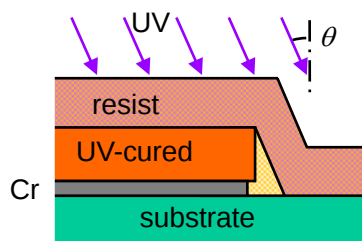


図1: UV キュアしたレジストに近接して生じる影を利用したサブミクロンパターン。

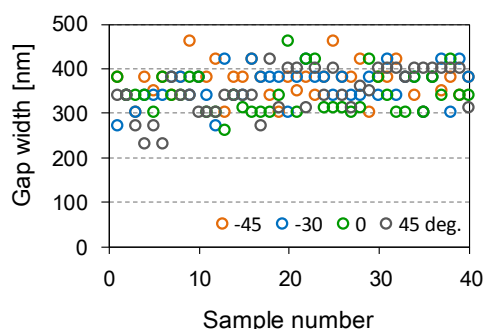


図3: 光学測長で得たギャップ幅の分布。

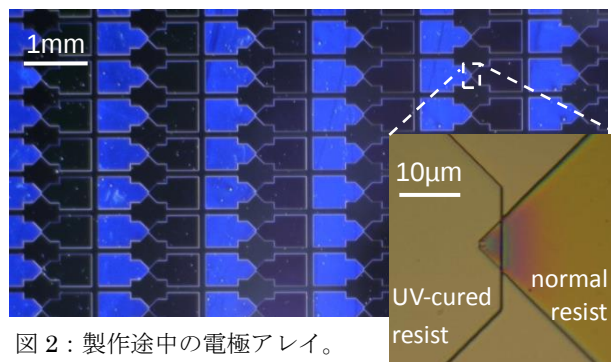


図2: 製作途中の電極アレイ。

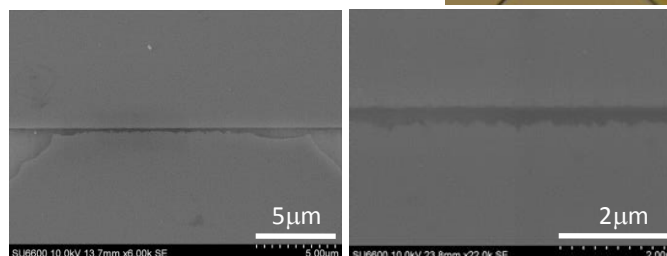


図4: ナノギャップ電極の SEM 写真。