## マルチゲート Si 単電子トランジスタの特性評価

Evaluation of Si single-electron transistor with multiple gates

北大院情報<sup>1</sup>,NTT 物性基礎研<sup>2</sup>

○内田貴史<sup>1</sup>, 福地厚<sup>1</sup>, 有田正志<sup>1</sup>, 藤原聡<sup>2</sup>, 高橋庸夫<sup>1</sup> IST. Hokkaido Univ.<sup>1</sup>, NTT Basic Research Labs.<sup>2</sup>, <sup>○</sup>Takafumi Uchida<sup>1</sup>, Atsushi Tsurumaki-Fukuchi<sup>1</sup>, Masashi Arita<sup>1</sup>, Akira Fujiwara<sup>2</sup>, and Yasuo Takahashi<sup>1</sup> E-mail: <u>takafumi-uchida@frontier.hokudai.ac.jp</u>

## <u>1.はじめに</u>

単電子トランジスタ(single-electron transistor: SET)は、低消費 電力かつ高集積化が可能なデバイスとして期待されている。こ れまで、我々は、パターン依存酸化法[1]を用いて作製した Si-SET において、トップゲートとバックゲートを用い、上下か らの電界によって実効的なクーロン島のサイズが変化し、ゲー ト容量などが変化することを明らかにしてきた[2]。今回の研究 では、クーロン島の両端にゲート電極を取り付け、左右からの 電界がクーロン島の特性に及ぼす影響について評価した。



Fig. 1. Schematic top view of Si-nanowire after attaching gate electrodes.

## 2.実験方法

SET は Si 細線のパターン依存酸化により作製した。まず、SOI 基板上の Si 層を EB リソグラフィーとドライエッチングを用いて細線状に加工し、1000 ℃ のドライ酸化によって細線中央部に Si ナノドットを形成するというプロセスである。次に、Fig. 1 に示すように、細線上に微細ゲート (G<sub>1</sub>, G<sub>2</sub>, G<sub>c</sub>)を取り付けた。G<sub>1</sub>, G<sub>2</sub> は細線両端にあるため、G<sub>1</sub>, G<sub>2</sub> への印加電圧 V<sub>1</sub>, V<sub>2</sub>によってドットに対して左右から電界をかけることができる。また、G<sub>c</sub> は細線中央部にあるため、印加電圧 V<sub>c</sub> によってドットの状態を強く制御可能である。今回の研究では、V<sub>1</sub>, V<sub>2</sub>を変化させた時のクー ロンダイヤモンド特性から、ワイヤ左右方向の電界の影響を評価した。測定は 8 K で行った。

## <u>3.結果</u>

Fig. 2 に  $V_1$ を 0 V に固定した際の、 $V_2$  = 0.8 V, 0.7 V, 0.6 V におけるクーロンダイヤモンド特性を 示す。 $V_2$ の減少により、クーロンダイヤモンド領域(黒〜灰色)が上に伸びていることがわかる。 この結果を単純に見ると、横方向からの電界  $V_2$ が実効的なクーロン島サイズを減少し、チャージ ングエネルギーが増加したと解釈される。この解釈の適否を確認するため、微分コンダクタンス ( $dI_D/dV_D$ )プロット(Fig. 3)を評価したところ、クーロンダイヤモンドと共に Excited State (赤線)も 上に伸びていた。ドットの状態が変化すると Ground state と Excited state のエネルギー差が変化す るはずなので、電界によるドットサイズ変化という上記の単純な解釈は正しくないと言え、次の ように解釈できる。Fig. 1 によると細線両端部に寄生 MOSFET の存在が予想され、Fig. 4 に示す 等価回路を仮定できる。 $V_2$ の減少によって MOS2 のチャネルが閉じかけ、その抵抗値が増加する。

そのため SET にかかる実効的な ドレイン電圧が減少し、クーロン ダイヤモンドが伸びたように見 えたものと考えられる。すなわち、 半導体ナノドットでは、取付け部 も小さな寄生 MOSFET として作 用するため、そのチャネルの開き 具合によっては、SET の特性に大 きく影響し得るとともに、その特 性を制御することで、SET の振動 特性と MOSFET を組み合わせた 多値論理回路[3]への展開にも期 待ができる。

[1] Y. Takahashi et al., Electron. Lett., **31**, 136 (1995).

[2] 内田 他、第 59 回応用物理学関係連合講 演会(2012 春)17p-A6.

[3] H. Inokawa *et al.*, *IEEE Trans. Electron devices*, vol. **50**, no. 2, 462 (2003).



Fig. 2. Contour plots of drain current ( $I_D$ ) as a function of  $V_D$  and  $V_C$  with constant  $V_1 = 0$  V, and (a)  $V_2 = 0.8$  V, (b) 0.7 V, and (c) 0.6 V, respectively.



Fig. 3. Contour plots of differential conductance  $(dI_D/dV_D)$  at (a)  $V_2 = 0.7$  V, and (b)  $V_2 = 0.6$  V.



Fig. 4. Schematic circuit model of the SET with parasitic MOSFET.