自己整合四端子平面型メタルダブルゲート低温 poly-Si TFT の V_{th} 制御を利用した E/D インバータの特性

Performance of an E/D Inverter using V_{th} Control of Four-Terminal Self-Aligned Planar Metal Double-Gate Low-Temperature Poly-Si TFTs

東北学院大工 [1]　○大澤 弘樹 [1]，原 明人 [1]
Tohoku Gakuin Univ. [1], ○Hiroki Ohsawa[1], Akito Hara[1]
E-mail: s1594302@g.tohoku-gakuin.ac.jp

【はじめに】微細化に依存せずに、ガラス上の低温(LT)多結晶シリコン(poly-Si)薄膜トランジスタ(TFT)を高性能化・高機能化する手法として、我々はマルチゲート構造に注目している。過去に我々は、自己整合四端子平面型メタルダブルゲート LT poly-Si TFT (4T E-MeDG LT poly-Si TFT)をガラス基板上に作製し、その特性について報告している [1)]。この TFT はメタルトップゲート(TG)とメタルボトムゲート(BG)から成るダブルゲート構造を有しており、一方のゲートを制御ゲートとして用いることで閾値電圧(V_{th})の制御が可能である。過去に我々は、この V_{th} 制御の応用として、4T E-MeDG LT poly-Si TFT を用いて E/D インバータを作製し、ドレイン電圧(V_D)が 2.0 V での動作に成功している [1)]。本稿は、4T E-MeDG LT poly-Si TFT のゲート絶縁膜を薄膜化することで、V_D = 1.0 V での E/D インバータの動作を検証したものである。

【実験】4T E-MeDG LT poly-Si TFT は過去の報告と同様のプロセスで作製されている [1)]。ゲート絶縁膜は、プラズマ CVD によって成長された SiO_2 を用いており、その膜厚は TG が 50 nm、BG が 150 nm である。今回作製された TFT の TG SiO_2 は過去の報告のものよりも 25 nm 薄膜化してある。チャネルに用いている poly-Si は、半導体励起固体連続波グリーンレーザを利用した CLC 法により作製している [2)]。この TFT 作製プロセスにおける最高温度は 550°C である。E/D インバータは異なる基板上に作製された二つの TFT を用いて構成している。

【結果と考察】図 1 は、作製された 4T E-MeDG LT poly-Si TFT のトランスファ特性を示している。ここで BG は制御ゲートとして用いており、0.5 V 間隔の定電圧を加えている。BG 電圧(V_{BG})が減少するに従って、V_{th} が正方向にシフトしていることが確認できる。図 2 は、V_{BG} による V_{th} の変化について示している。ここで図中の γ は、$\gamma = |\Delta V_{th}/\Delta V_{BG}|$で定義しており、括弧内の値は理論的に予想される値である [3,4)]。図 3 は、4T E-MeDG LT poly-Si TFT を用いて作製された E/D インバータの回路図を示している。ロード TFT の BG に加えた電圧を V_{BG1}、ドライブ TFT の BG に加えた電圧を V_{BG2} で表記している。この V_{BG1} と V_{BG2} を変化させることによって、ロード TFT とドライブ TFT の V_{th} を制御することが可能である。図 4 は、V_D = 1.0 V での E/D インバータの特性を示している。ここで、ロード TFT の BG には V_{BG1} = −6.0 V の電圧を加えている。V_{BG2} が−8.0 V 以下で、良好な E/D インバータの特性が得られていることが確認できる。図 2 の結果から、V_{BG1} = −6.0 V のとき、ロード TFT は−1.0 V から 0 V の間の V_{th} を持つディプリッション型であることが推察できる。また、図 2 の結果から、V_{BG2} が−8.0 V 以下のとき、ドライブ TFT は正の値の V_{th} を持つエンハンスメント型であることが推察できる。このように、ロード TFT とドライブ TFT の V_{th} を適切な値に制御することによって、E/D インバータを V_D = 1.0 V で動作させることが可能になったと考察できる。

【まとめ】膜厚 50 nm の TG SiO_2 を有する 4T E-MeDG LT poly-Si TFT を用いて E/D インバータを作製した。制御ゲートを用いてロード TFT とドライブ TFT の V_{th} を適切な値に制御することにより、V_D = 1.0 V での E/D インバータの動作を確認した。

【参考文献】(1) H. Ohsawa et al.: Jpn. J. Appl. Phys. 55 (2016) 03CC01. (2) A. Hara et al.: Jpn. J. Appl. Phys. 43 (2004) 1269. (3) M. Masahara et al.: IEEE Trans. Electron Devices 52 (2005) 2046. (4) M. Masahara et al.: IEEE Trans. Nanotech. 5 (2006) 716.

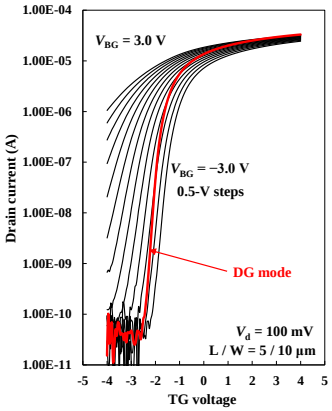

Fig. 1. Transfer characteristics of 4T E-MeDG LT poly-Si TFT.

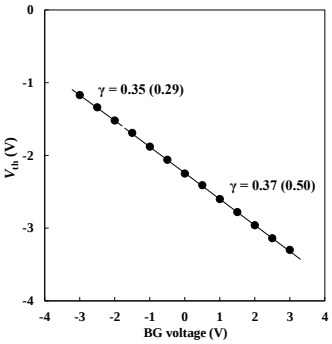

Fig. 2. Variation of V_{th} as a function of V_{BG}.

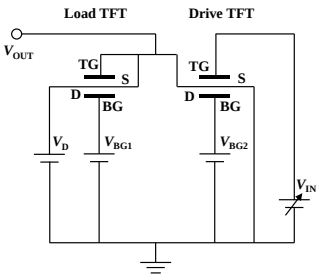

Fig. 3. Circuit diagram of the E/D inverter.

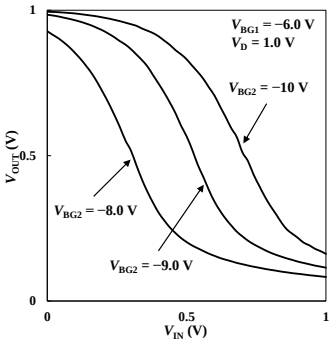

Fig. 4. Characteristics of the E/D inverter.

© 2016年 応用物理学会