

Ar/H₂ 熱処理による Si(100)表面原子レベル平坦化とデバイス特性に関する検討Formation of atomically flat Si(100) surface by Ar/H₂ annealing and its effect on MISFET characteristics

東工大総理工 ○工藤 聡也, 大見 俊一郎

Tokyo Institute of Technology, °Sohya Kudoh, and Shun-ichiro Ohmi

E-mail: kudoh.s.ab@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

前回、我々は Si(100)基板を Ar/4%H₂ 雰囲気中で熱処理することで Si 基板表面の原子レベル平坦化を行い、平坦化のメカニズムと MIS ダイオードの電気特性に関して報告した[1]。今回、Si 基板表面原子レベル平坦化による n-MISFET のデバイス特性への影響に関する検討を行ったので報告する。

2. 実験方法

LOCOS により素子分離した p-Si(100)基板について、Ar/4%H₂ (3 SLM)で 1050°C/30 min の熱処理を行うことにより Si 表面を原子レベル平坦化した。次に、ソース/ドレイン(S/D)拡散層を形成後、HF:HCl = 1:19 により熱処理時に形成される自然酸化膜をエッチングした[2]。その後、ECR スパッタ法により HfN (0.19Pa, Ar/N₂ = 16/12 sccm, RT)ゲート絶縁膜を堆積し、N₂/4.9%H₂ (1 SLM)雰囲気中で 600°C/20 min の熱処理を行った。最後に Al 電極を形成し n-MISFET を作製した。このように作製した試料に関して AFM、I_D-V_Dおよび I_D-V_G 特性による評価を行った。

3. 実験結果および考察

図 1 に AFM により測定した RMS ラフネスと、平坦化後の Si 表面のモフォロジーを示す。Ar/4%H₂ 熱処理により、RMS が 0.11 nm まで低減し原子レベル平坦表面が形成されていることが分かった。図 2 に n-MISFET の I_D-V_D 特性を示す。Ar/4%H₂ 熱処理を用いた原子レベル平坦化により MISFET の特性が改善し、飽和移動度(@V_G-V_{th} = 1.5 V)が 36 cm²/(Vs)から 57 cm²/(Vs)に増加することが分かった。

謝辞

本研究にご協力いただきました本学の石原宏名誉教授、畠山直之技官、鈴木元也技官、東北大の故大見忠弘名誉教授、寺本章伸教授、後藤哲也准教授、黒田理人准教授、諏訪智之助教、ならびに JSW AFTY の嶋田勝氏、広原正巳氏、玉井逸朗氏に感謝いたします。

参考文献

- [1] 工藤 他、第 63 回春応物予稿集, 19p-S223-6, p. 11-092 (2016).
- [2] Y. Morita, et al., *Appl. Phys. Lett.*, **67**, p. 2654 (1995).

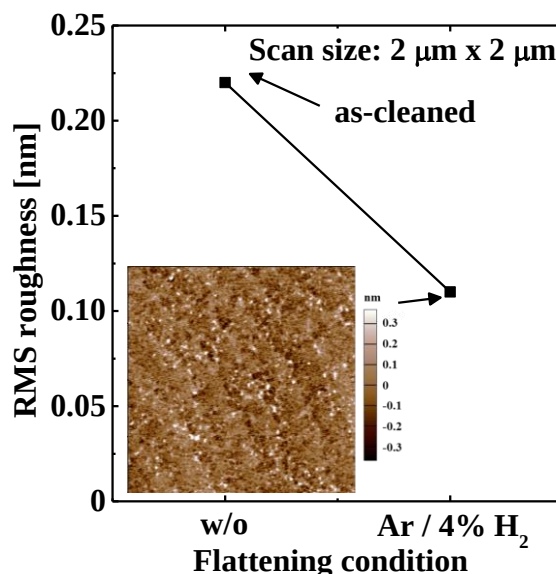


図 1 Si(100)基板表面 RMS ラフネスの Ar/4%H₂ 熱処理による平坦化の効果。

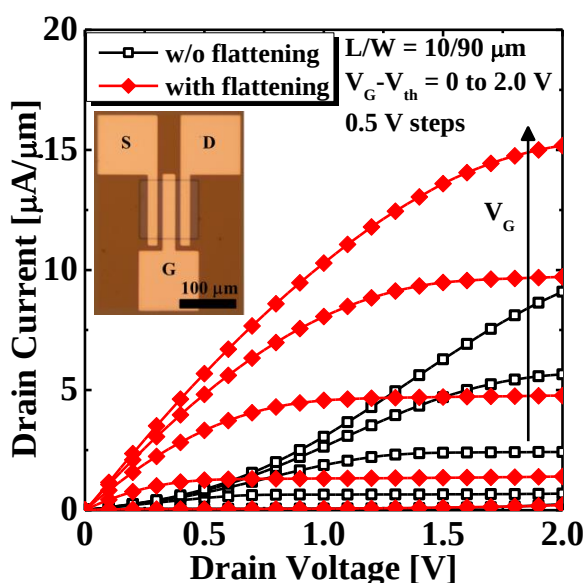


図 2 I_D-V_D 特性の Ar/4%H₂ 熱処理による平坦化の効果。