

# ZrO<sub>2</sub>/high-*k*/ZrO<sub>2</sub> 多層絶縁膜を用いた DRAM キャパシタにおける high-*k* 層間絶縁層の役割

## Role of high-*k* interlayer on characteristics for DRAM capacitors with ZrO<sub>2</sub>/high-*k*/ZrO<sub>2</sub> insulating multilayer

1. 明治大学 2. 物質・材料研究機構 3. 科学技術振興機構

○女屋 崇<sup>1,2</sup>, 生田目 俊秀<sup>2,3</sup>, 澤田 朋実<sup>2,3</sup>, 栗島 一徳<sup>1,2</sup>, 澤本 直美<sup>1</sup>, 大井 暁彦<sup>2</sup>, 知京 豊裕<sup>2</sup>, 小椋 厚志<sup>1</sup>

1. Meiji University 2. NIMS WPI-MANA 3. JST-CREST

○T. Onaya<sup>1,2</sup>, T. Nabatame<sup>2,3</sup>, T. Sawada<sup>2,3</sup>, K. Kurishima<sup>1,2</sup>, N. Sawamoto<sup>1</sup>, A. Ohi<sup>2</sup>, T. Chikyo<sup>2</sup>, and A. Ogura<sup>1</sup>

E-mail: ce61020@meiji.ac.jp

【はじめに】将来の DRAM 用キャパシタ絶縁膜には、低 CET 値、低リーク電流特性、プロセス温度 <650 °C 及び 3 次元キャパシタ構造への均質成膜が要求されている。<sup>[1]</sup> 現在、キャパシタ絶縁膜として ZrO<sub>2</sub> 層間にアモルファスの high-*k* 層間絶縁層を挿入した ZrO<sub>2</sub>/high-*k*/ZrO<sub>2</sub> (Z/high-*k*/Z) 多層構造が精力的に研究されており<sup>[2]</sup>、我々は ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub> (ZAZ) において、低リーク電流特性を維持するための最少の ZrO<sub>2</sub> 及び Al<sub>2</sub>O<sub>3</sub> 層の膜厚について報告した。<sup>[3]</sup> しかし、Z/high-*k*/Z 構造の high-*k* 層間絶縁層は、リーク電流を抑える観点から、アモルファス構造またはバンドギャップ ( $E_g$ ) の幅のどちらが重要であるのかが明らかになっていない。そこで、Fig. 1 に示すように、high-*k* 層間絶縁層として  $E_g$  及び TiN 電極と high-*k* 層間絶縁層のコンダクションバンドオフセット (CBO) が異なる 3 種類のアモルファスの材料 (Al<sub>2</sub>O<sub>3</sub> ( $k=8$ ), (Ta/Nb)O<sub>x</sub> (TN) ( $k=29$ ) 及び (Ta/Nb)O<sub>x</sub>-Al<sub>2</sub>O<sub>3</sub> (TNA)) に着目した。<sup>[4]</sup>

本研究では、3 種類の high-*k* 層間絶縁層を用いた Z/high-*k*/Z キャパシタ絶縁膜の *k* 値及びリーク電流特性について検討した結果を報告する。

【実験条件】まず、TiN 下部電極上へ第 1 層 ZrO<sub>2</sub> (1st ZrO<sub>2</sub>)、high-*k* 層間絶縁層及び第 2 層 ZrO<sub>2</sub> (2nd ZrO<sub>2</sub>) の順に、原子層堆積 (ALD) 法により Z/high-*k*/Z 多層膜を形成した。1st 及び 2nd ZrO<sub>2</sub> の膜厚は 3.8 nm 一定とした。層間絶縁層の Al<sub>2</sub>O<sub>3</sub>、TN 及び TNA の膜厚は ALD サイクル数を変えて調整した。TNA 層は TN 及び Al<sub>2</sub>O<sub>3</sub> 層を 1 サイクル毎に成膜して形成した。Z/high-*k*/Z 多層膜を形成した後、O<sub>2</sub> 雰囲気中、600 °C で熱処理した。最後に、TiN (100 nm) 上部電極はリフトオフプロセスを用いて形成して、TiN MIM キャパシタを作製した。

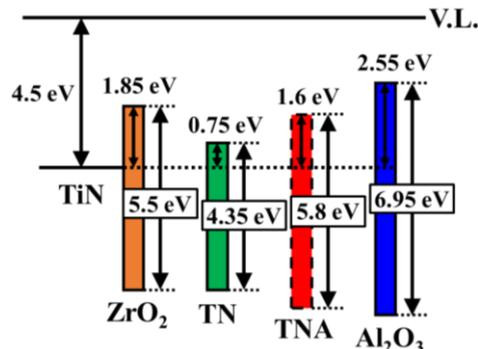


Fig. 1 Schematic  $E_g$  and CBO diagram of ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TN and TNA on TiN.<sup>[4-6]</sup>

【結果】Fig. 2 に、Z/high-*k*/Z 多層構造の TiN キャパシタの high-*k* 層間絶縁層の膜厚と Z/high-*k*/Z の *k* 値の関係を示す。ZrO<sub>2</sub> (7.6 nm) 層の TiN キャパシタの *k* 値は約 28 を示した。ZAZ、ZTNZ 及び ZTNAZ の *k* 値は、Al<sub>2</sub>O<sub>3</sub> 及び (Ta/Nb)O<sub>x</sub> の *k* 値に依存しており、ZTNAZ では、TNA 層が 0.72 nm でも高い *k* 値 (27) を維持していることが分かった。また、ZAZ において、Al<sub>2</sub>O<sub>3</sub> 層が 0.4 nm 以下では  $k \sim 28$  を示すのに対して、0.5 nm 以上になると膜厚の増加と共に *k* 値は直線的に低下した。

Fig. 3 に、ZrO<sub>2</sub> 及び Z/high-*k*/Z 絶縁層の TiN キャパシタにおける CET 値と動作電圧 0.6 V でのリーク電流 ( $J$ ) の関係を示す。ZTNZ は  $J > 10^{-5}$  A/cm<sup>2</sup> と高いリーク電流値を示した。ZAZ は Al<sub>2</sub>O<sub>3</sub> 膜厚の増加と共にリーク電流が低下するが、0.3 nm (CET = 1.15 nm) よりも薄い範囲では ZrO<sub>2</sub> 単層膜と同程度の高いリーク電流値であった。一方、ZTNAZ は CET = 1.1 nm で、 $J < 10^{-7}$  A/cm<sup>2</sup> を示した。極薄膜領域では、ZTNAZ < ZrO<sub>2</sub> ~ ZAZ < ZTNZ の順でリーク電流が小さくなることが分かった。

以上より、低 CET 値及び低リーク電流特性を満足させるには、high-*k* 層間絶縁層として、アモルファス構造だけでなく CBO の大きな TNA 材料が適していることが分かった。

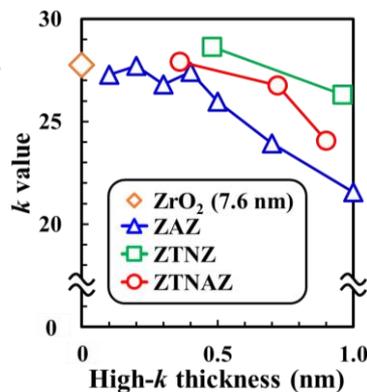


Fig. 2 Relationship between interlayer thickness and *k* value of TiN MIM capacitors with Z/high-*k*/Z.

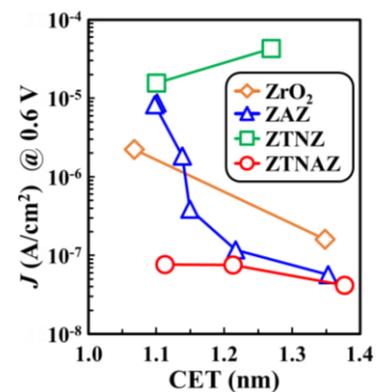


Fig. 3 Relationship between CET and  $J$  at 0.6 V for TiN MIM capacitors with ZrO<sub>2</sub> and Z/high-*k*/Z.

[1] S. K. Kim et al., J. Mater. Res. 28, 313 (2013)

[2] S. Knebel et al., J. Appl. Phys. 117, 224102 (2015)

[3] 女屋 他, 第 63 回応用物理学会春季学術講演会 20p-S221-8

[4] T. Nabatame et al., J. Vac. Sci. Technol. A 33(1), 01A118 (2015)

[5] S. Miyazaki, J. Vac. Sci. Technol. B 19(6), 2212 (2001)

[6] J. Robertson, J. Vac. Sci. Technol. B 18(3), 1785 (2000)