マルチウェル構造 TSV を用いた TSV 側壁 Si-SiO_2 界面準位の評価
Evaluation of Depth-dependent Interface States at TSV-liner SiO_2 Using Multi-well Structured TSV

○菅原 陽平 [1], 木野 久志 [2], 福島 誉史 [1], 李康旭 [3], 小柳光正 [3], 田中徹 [1,4]
Dept. of Bioengineering and Robotics, Tohoku Univ. [1],
Frontier Research Institute for Interdisciplinary Sciences, Tohoku Univ.[2]
New Industry Creation Hatchery Center (NICHe), Tohoku Univ.[3]
Dept. of Biomedical Engineering, Tohoku Univ.[4]
°Y. Sugawara[1], H. Kino[2], T. Fukushima[1,3], K.-W. Lee[3], M. Koyanagi[3], and T. Tanaka[1,4]
E-mail: link@lbc.mech.tohoku.ac.jp

1. 緒言

三次元集積回路(3D IC)の実用化に向けて、シリコン貫通配線(Through Si Via; TSV)の信頼性に関する研究が世界中で行われている。重要な信頼性問題の一つとして TSV 起因のリーク電流やカップリングノイズ[1]が TSV 周辺の MOSFET に影響を与えることが懸念されている。リーク電流やカップリングノイズは TSV 側壁絶縁膜の抵抗、静電容量、絶縁膜界面の質、つまり側壁絶縁膜の厚さ、膜質、界面準位密度等によって大きく影響される。一般的に TSV 側壁絶縁膜は形状や膜質が深さ方向に均一ではなく、リーク電流やカップリングノイズは複雑な挙動を示すが、TSV 側壁絶縁膜の深さ方向の特性分布は十分に調べられていない。

本研究ではシリコン基板に作製したマルチウェル構造の中に TSV をゲートとした縦型の MOSFET を作製し、その電気特性を測定することにより、TSV 深さ方向の側壁絶縁膜の膜質や界面の質を評価した。

2. 実験と結果

試作した評価試料の概要図を図 1 に示す。本研究では図 1 に示すように IC チップ内のマルチウェル領域にビアラスト/バックサイドビアプロセスにより TSV を形成し、TSV をゲートとした 2 個の縦型 MOSFET を作製した。まず、Si インターポーザ上に Cu/Sn マイクロバンプを介してフリップチップ接合された IC チップの裏面から機械的研磨および CMP (Chemical Mechanical Polishing)を行い、Si 基板を 25 μm まで薄層化した。続いて、PE-CVD(Plasma Enhanced Chemical Vapor Deposition)により SiO_2 膜を成膜し、RIE (Reactive Ion Etching)及びボッシュプロセスにより 7 μm 径、25 μm 深さのビアホールを形成した。次に PE-CVD により 200 ℃でビアホール側壁に SiO_2 膜を成膜し、その後、RIE によりビアホール底部の SiO_2 膜を取り除いた。続いて、TSV 側壁にバリア層として Ti、シード層として Cu を成膜し、ボトムアップめっきにより Cu を埋め込んだ。最後に Cu-CMP 及びウェットエッチングにより IC チップ裏面の Cu オーバーバーデン及び Ti バリア層を取り除いた。TSV 側壁 SiO_2 成膜時にチップ裏面に成膜された SiO_2 の厚さは 4 μm、バリア層成膜時にチップ裏面に成膜された Ti は 100 nm であった。試料作製後、まず TSV 側壁 MOSFET の I_d-V_g 特性を測定した。作製した試料には nMOSFET と pMOSFET が存在するため、2 種の I_d-V_g 特性が得られた。どちらの I_d-V_g 特性も一般的な特性を示し、作製した TSV 側壁 MOSFET の正常動作が確認された。次に、ウェル-TSV 間の MOS diode 特性を測定した。今回、作製した試料には 4 種のウェルが存在するため、4 種の MOS diode 特性が得られた。TSV 底部における MOS diode 特性において、他とは異なり反転状態を示す電圧値が小さかった。最後にチャージポンピング電流を測定した。今回、作製した試料には 3 種の P-N 接合があるため、3 種のチャージポンピング電流が得られた。TSV 底部におけるチャージポンピング電流において、他とは異なるゆるやかなピークが得られた。これらの結果は TSV の深さに応じた界面特性を分離して測定できたことを示している。今回作製した試料では TSV 側壁絶縁膜の質及び Si-絶縁膜界面の質が均一ではなく、TSV 底部における膜質及び界面の質が良好でないことが明らかにできたが、この理由として TSV 底部においてバリア層の被覆が不十分であるために Cu が拡散した可能性等が考えられる。

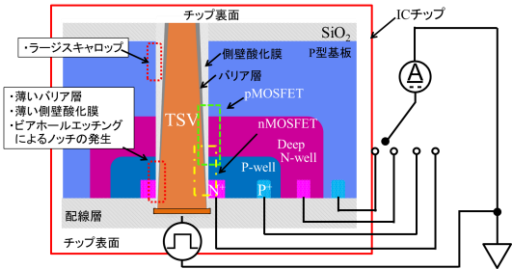

Fig. 1. Schematic cross section of multi-well structured TSV for evaluation of depth-dependent TSV liner interface states.

3. まとめ

本研究ではビアラスト/バックサイドビアプロセスによりマルチウェル構造の TSV を形成することにより、TSV をゲートとした縦型の MOSFET を作製した。形成した TSV 側壁 MOSFET の I_d-V_g 特性、ウェル-TSV 間 MOS diode の I-V 特性とチャージポンピング電流を測定した。TSV の深さにより異なる側壁絶縁膜の膜特性及び Si-絶縁膜界面の特性が得られ、深さに応じた特性を分離して評価することに成功した。

参考文献

[1] Kyung-Do Kim, et al., "A New Guard-Ring Technique to Reduce Coupling Noise from Through Silicon Via (TSV) Utilizing Inversion Charge Induced by Interface Charge," Proceeding of the VLSI Technology, June, 2013.

© 2016年 応用物理学会