

ウェットエッチングを用いた SOI 基板の サブナノメートル精度薄膜化

Sub-nanometer precision wet etching process of the SOI substrate

(M1) 桑原 充輝¹、高橋 和¹ (1. 大阪府立大学)

M. Kuwabara¹, Y. Takahashi¹ (1. Osaka Prefecture Univ)

E-mail: m-kuwabara-9G@pe.osakafu-u.ac.jp

1. 概要

近年半導体分野では、その発展した微細加工技術を用いて、従来よりも1桁以上小さな光デバイスを作製して、様々な情報機器に応用する試みが進められている。光デバイスが取り扱う情報量を増大するには、動作波長域の拡大と動作波長の多重化が重要である。一般的に、動作波長はデバイスのコアサイズに比例して変化するので、性能を下げずに動作波長だけ変えるには、3次元方向にわたる高い精度での構造制御が必要となる[1]。SOI 基板上に作製されるシリコンフォトニクス素子は、成熟したリソグラフィ技術とプラズマエッチング技術により、水平方向の構造制御はサブナノメートル精度も可能となってきている[2]。しかし、一般的に垂直方向の構造制御は困難であり、シリコンフォトニクス素子の動作波長域は、SOI 基板を購入したときのトップシリコン層の厚みにより制限を受けてきた。今回我々は、アルカリ溶液を用いたシリコンのウェットエッチング[3]と、光干渉膜厚計測を組み合わせ、サブナノメートル精度でトップシリコン層を薄膜化する技術を開発し、さらに位置選択エッチングを試みたので報告する。

2. 実験と結果

図1が薄膜化手法の原理を示している。エッチング溶液中に SOI 基板を入れ、膜厚計から照射された白色光の反射スペクトルを一定間隔で繰り返し観測することにより、トップシリコン層をエッチングしながら、膜厚のリアルタイム測定が行われる。溶液が透明で、溶液層の厚みが数 mm 以上あれば、測定対象が溶液中に置かれていても高い精度での膜厚測定が可能である。図2に、現在までに見出した最適なエッチング条件において、サイズ 1 cm² の SOI 基板をエッチングしたときの測定結果を示す。シリコン膜厚が、エッチング時間に線形に比例して減少していること、サブナノメートル精度で膜厚がリアルタイム測定されていることがわかる。図3は、シリコン表面に保護膜を部分的に塗布し、位置選択エッチングを用いて作製した2種類の膜厚を持つ SOI 基板表面の AFM 画像である。エッチングによる表面ラフネスの増大は 1 nm 以下であること、約 35 nm の段差が形成されていることが分かる。これにより、異なる通信バンドで動作するシリコンフォトニクス素子（たとえば 1310/1550 nm）の1チップ集積などが可能になると期待される[4]。

【謝辞】本研究は、科研費—挑戦的萌芽の支援を受けた。

[1] R. Terawaki, *et al.*, Opt. Express **20**, 22743 (2012). [2] H. Sekoguchi, *et al.*, Opt. Express **22**, 916 (2014). [3] K. Yamamoto, *et al.* IEEE Trans. Semicond. Manuf. **12**(3), 288–294 (1999). [4] 応物講演会 2016 秋.

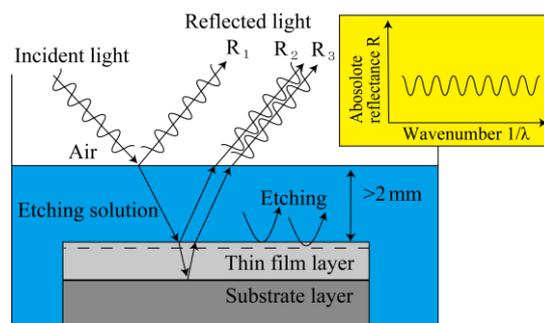


Fig.1 Schematic of the wet etching with monitoring the film thickness.

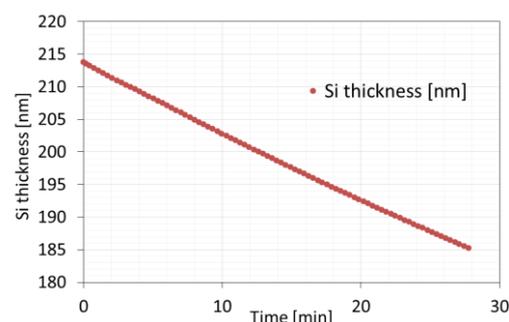


Fig.2 Time change of the top silicon layer.

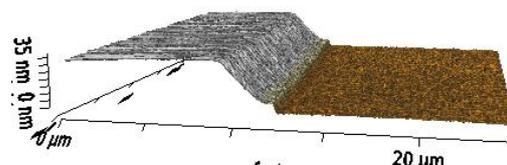


Fig.3 AFM image at the step of dual thickness substrate.