

モンテカルロ法によるシリコンナノ構造の熱電特性シミュレーション

Monte Carlo Simulation of Thermoelectric Properties in Si Nanostructures

阪大院工 [○]濱田 健斗, 鎌倉 良成

Osaka Univ., [○]Kento Hamada, Yoshinari Kamakura

E-mail: hamada@si.eei.eng.osaka-u.ac.jp

現在、環境からエネルギーを獲得し回路を動作させるエネルギーハーベスティング技術が注目されており、熱電変換素子の高性能化に期待が集まっている。Si はバルクにおいては熱電性能が低いものの、ナノ構造制御により高い熱電性能が得られることが報告されている。本研究では、モンテカルロ(MC)法による電子輸送シミュレータを用い、Si 中に設けた微細なポテンシャル障壁構造がゼーベック係数やパワーファクタ等の熱電性能に与える影響について調べた。

MC 法による電子輸送シミュレータ[1]を3次元ポアソン方程式ソルバと結合させ、Fig. 1に示すような系の電流-電圧特性を計算した。考慮した散乱過程は、音響フォノン散乱、バレー間フォノン散乱、イオン化不純物散乱である。シミュレーション領域両端にポアソン方程式の境界条件として電位差 $\Delta\phi$ を印加するとともに、系内に線形に変化する温度勾配を与えた。また、速度重み付きマクスウェル分布注入法[2]により、両端に設けたオーミック電極を模擬した。

Fig. 2に電流と $\Delta\phi$ の関係に対するシミュレーション結果を示す。温度差($\Delta T = 50$ K)を与えると原点を通らない特性が得られた。さらに、系中央部のドーピング濃度 $N_{D,c}$ を減少させたところ、傾き(電気伝導度)が低下するとともに、開放時($I = 0$)の $\Delta\phi$ が増加する特性が確認された。これは、ゼーベック係数が中央部に形成された電位障壁(Fig. 3)の影響[3]によって増加したことを示す結果である。

参考文献 [1] C. Jacoboni et al., Rev. Mod. Phys. **55**, 645 (1983). [2] T. González et al., Solid-State Electron. **39**, 555 (1996). [3] M. Bachmann et al., Phys. Rev. B **86**, 115320 (2012).

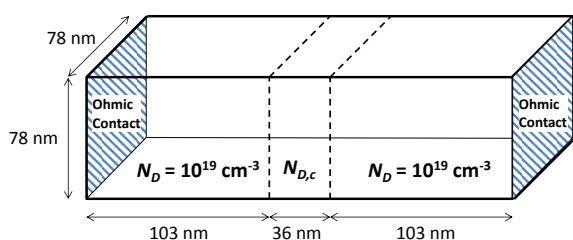


Fig. 1: Schematic view of the simulated structure.

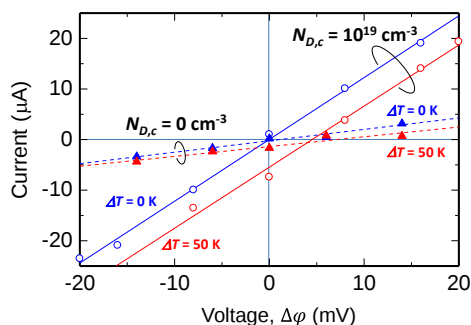


Fig. 2: Simulated current plotted as a function of $\Delta\phi$.

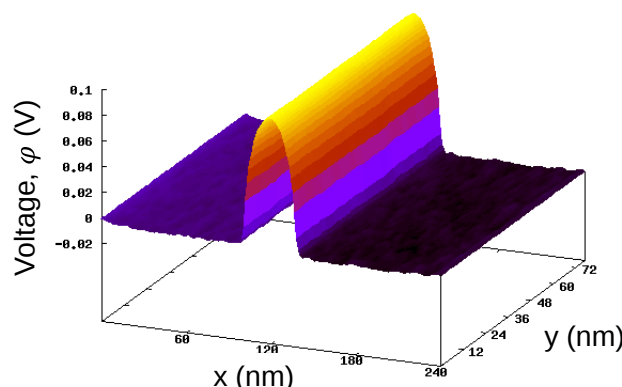


Fig. 3: Simulated results of time-averaged potential distribution for $N_{D,c} = 0$ cm⁻³ ($\Delta T = 50$ K, $\Delta\phi = 10$ mV).