

Pt/Nb:SrTiO₃ 接合における抵抗スイッチング機構の解析

Analysis of resistive switching mechanism at Pt/Nb:SrTiO₃ junction

鳥取大工¹, TiFREC² °萩原 祐仁¹, 塩見 俊樹¹, 岸田 悟^{1,2}, 木下 健太郎^{1,2}

Tottori Univ.¹, Tottori Univ. Integrated Frontier Research Center²,

°Yuuto Hagihara¹, Toshiki Shiomi¹, Satoru Kishida^{1,2} and Kentarou Kinoshita^{1,2}

E-mail: b12t3046@faraday.ele.tottori-u.ac.jp

【序論】近年フラッシュメモリは微細化の限界を迎えており、新規メモリの開発が盛んに行われている。研究されているメモリの1つとして界面動作型 ReRAM がある。ReRAM とは素子への電圧印加によって生じる金属/半導体界面の抵抗変化現象を利用したメモリである。動作は正電圧印加による低抵抗化(セット), 負電圧印加による高抵抗化(リセット)から成る。界面動作型 ReRAM はスケーリングによる電力低減・不揮発性・高速動作などの理由から注目を集めているが、その動作機構は未だ解明されておらず、実用化への壁となっている。これまでの研究では接合界面における空乏層幅や界面層が抵抗変化に影響を及ぼすと報告されてきたが、抵抗値との関連性は十分に調査されていない。そこで本研究では抵抗値と界面状態の関係について詳細な調査を行った。

【実験方法】Nb:SrTiO₃ 単結晶基板(Nb 0.5wt% doped SrTiO₃: Nb:STO)の(100)面にスパッタリング法で Pt 上部電極(膜厚 100 nm ϕ 100 μ m)と Ti 下部電極(膜厚 20 nm ϕ 3000 μ m) を作製し, Pt/Nb:STO/Ti 構造とした。そして、電流-電圧(I - V)特性、容量-電圧(C - V)特性の測定・フィッティングにより、抵抗値 R と界面の理想係数 n ・空乏層幅 W_D ・ビルトインポテンシャル V_{bi} ・ショットキー障壁高さ ϕ_B の相関性を調査した。【結果及び考察】表 1 に R と W_D と V_{bi} の相関性を示す。表 1 より R が増加するとともに W_D ・ V_{bi} が増加, n が減少していることがわかる。このことから、電圧掃引によって W_D が増えることにより、電子が空乏層領域を通過することができなくなることで低抵抗から高抵抗へと抵抗変化していると考えられる。次に図 1 に示すのはセット電圧を一定値, リセット電圧を 1.5 V~2.5 V まで 0.1 V 刻みで掃引したときに得られる I - V 特性から n と ϕ_B を抽出したものである。図 1 よりセット電圧を増加させることで $n \times \phi_B$ の値が小さくなっていくことがわかる。またリセット電圧を高くすることで n は小さくなるが, $n \times \phi_B$ の値は大きくなることがわかった。さらに、セット電圧が異なる条件下で同じ程度の抵抗値を示す状態について調査すると、同じ抵抗値に対しても $n \times \phi_B$ が異なることがわかった。つまり同じ抵抗値であっても掃引電圧によって異なる $n \times \phi_B$ の状態を作ることができることがわかり、抵抗値は n や ϕ_B 以外のパラメータに支配されていることを示唆する

R [Ω]	W_D [nm]	n	V_{bi} [eV]
164k	3.30	2.56	0.60
2.37M	3.98	2.28	0.61
23.1M	4.47	2.13	0.63
143M	4.70	2.09	0.66

表 1. R と W_D ・ n ・ V_{bi} の関連性

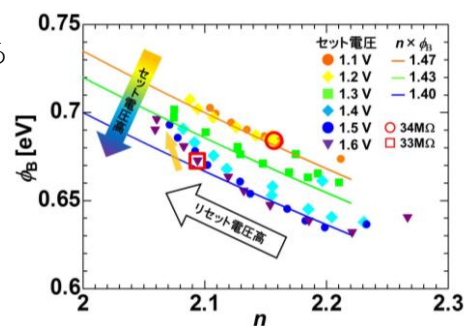


図 1. n - ϕ_B の関係性