

HfO₂/GeO₂/Ge スタック構造における GeO 脱離の調査

Investigation of GeO desorption in HfO₂/GeO₂/Ge stacks

東京農工大・工 〇大竹 博義 岩崎 好孝 上野 智雄

Tokyo Univ. of Agri. & Tech. H.Otake Y.Iwazaki T.Ueno

E-mail: s159416q@st.go.tuat.ac.jp

【はじめに】LSI 技術は、Si を基板材料とした MOSFET の微細化によって発展してきたが、性能向上の物理的限界を迎えている。現在、微細化に代わる性能向上技術として高誘電率(High-k)材料や高移動度チャネル(High- μ)材料の導入が検討されている。我々は高移動度チャネル材料である Ge-MOS の実用化を目指している。従来の Si 基板の場合は酸化によって作製した SiO₂/Si 構造は優れた界面特性を持っていた。ところが Ge 酸化物である GeO₂は GeO₂/Ge 構造で 400°C超での熱処理により GeO 脱離が発生し⁽¹⁾、界面特性を劣化させる。前回、Al₂O₃/GeO₂/Ge 構造において GeO 脱離に関して調査を行った所、Al₂O₃膜によって、GeO 脱離を抑制できることがわかった⁽²⁾。今回、この現象を詳細に調査するとともに、HfO₂でも同様の効果が得られるかどうか調査を行った。

【実験方法】p-Ge 基板を有機洗浄後、HF 処理を行い、ECR 酸化により GeO₂(~2nm)/Ge 構造を室温にて作製後、HfO₂を反応性スパッタにより同様に室温にて直接堆積させ HfO₂(~10nm)/GeO₂(~2nm)/Ge 構造を作製した。GeO₂/Ge 単体と、HfO₂を堆積させた HfO₂/GeO₂/Ge 構造、そして比較のために Al₂O₃膜を堆積させた Al₂O₃(~10nm)/GeO₂(~2nm)/Ge 構造それぞれに対し GeO 脱離の様子を確かめるため TDS 測定を行った。また、HfO₂/GeO₂/Ge 構造にたいして 450°CN₂アニールを 30 分を行い、Al 電極を真空蒸着により取り付け、CV 測定を行った。

【結果】Fig.1 は GeO 脱離の TDS 測定結果、Fig.2 は HfO₂/GeO₂/Ge 構造に 450°CN₂アニール 30 分を行った後の CV 測定結果である。Fig.1 より GeO₂/Ge 構造では 450°Cで GeO 脱離が発生しているが、HfO₂/GeO₂/Ge 構造では 600°Cで GeO 脱離が発生し Al₂O₃/GeO₂/Ge 構造では GeO 脱離は確認できなかった。よって HfO₂は Al₂O₃よりは効果が小さいが、GeO 脱離を抑制する効果を持っていると考えられる。界面での脱離現象が生じる温度が界面から離れた領域の試料によって変化するというこの現象がなぜ生じるかは不明だが、これが事実とすれば GeO₂を用いた Ge-MOS の実現に大きく寄与するものと考えられる。また Fig.2 よりコンダクタンス法により求めた界面準位密度(Dit)はミッドギャップより 0.13eV 下に $3.21 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ となった。これより 450°Cアニールという GeO 脱離の発生してしまう温度領域でも良質な界面特性を持つことがわかり、Al₂O₃と同様に GeO 脱離を抑制する効果があることを実証できた。

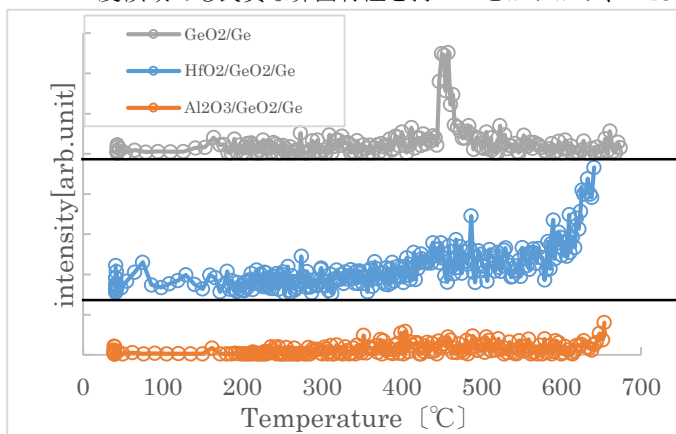


Fig.1 TDS 測定 (GeO M/z:86,88,90)

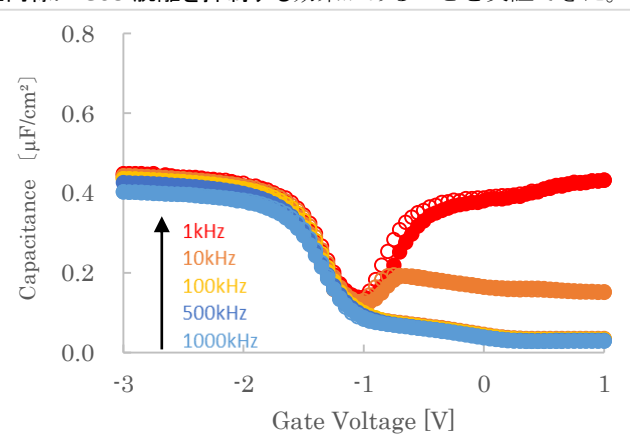


Fig.2 CV 測定 (HfO₂/GeO₂/Ge 450°C30 分 N₂アニール)

【参考文献】

- (1) K.Kita et al., Jpn. J. Appl. Phys., 47, 2349 (2008) (2) 本会 2016 年春、大竹博義、他 20a-S221-11