

4H-SiC エピタキシャル層におけるプロセス起因結晶欠陥の評価

Investigation of process induced defects in 4H-SiC epitaxial layers

(株)日立製作所 研究開発グループ ◦小西 くみこ, 藤田 隆誠, 毛利 友紀, 島 明生, 嶋本 泰洋

Hitachi, Ltd. Research & Development Group, ◦Kumiko Konishi, Fujita Ryusei, Yuki Mori,

Akio Shima, Yasuhiro Shimamoto

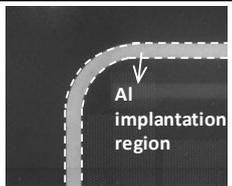
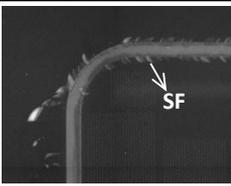
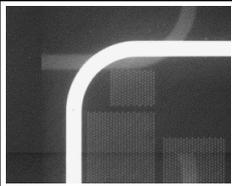
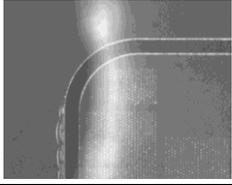
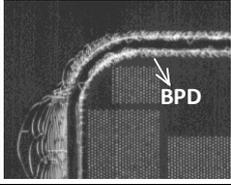
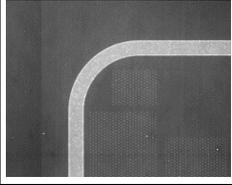
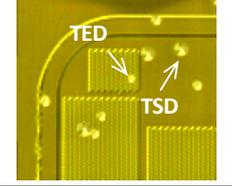
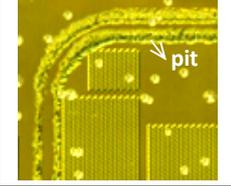
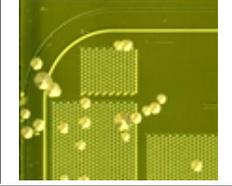
E-mail: kumiko.konishi@hitachi.com

SiC-MOSFETの内蔵pnダイオードを還流ダイオードとして使用することでパワーモジュールの小型化とコスト低減が期待できる。しかし、内蔵pnダイオードに通電すると基底面転位(BPD)が積層欠陥(SF)へ拡張し、オン電圧が増加する通電劣化現象が起こる。BPDはプロセス中に形成されることが報告されており[1-4]、これを抑制するプロセスの構築が必要となる。今回はプロセス起因で形成される結晶欠陥をPLイメージングとKOHエッチングにより評価した結果を報告する。

4度オフの4H-SiC基板上に形成された膜厚30 μmのn⁻エピタキシャル層を用い、マスク越しにAlを注入し、1700°Cの活性化アニールをした。Al注入は、ドーズ量 $2.0 \times 10^{15} \text{ cm}^{-2}$ として深さ約500 nmのBOXプロファイルを形成する条件を基準とし、ドーズ比0.5(室温)、1.0(室温)、1.0(350°C)の依存性を評価した。

Table I に活性化アニール後のサンプルのPL像とKOHエッチング後の微分干渉顕微鏡像を示す。PL像からドーズ比1.0(室温)ではAl注入境界において積層欠陥とBPDが確認できる。一方、ドーズ比0.5(室温)と1.0(350°C)ではどちらも確認されない。同様に、KOHエッチング結果からもドーズ比1.0(室温)のみAl注入境界においてエッチピットが確認できる。以上より、Al注入と活性化アニールによって形成される結晶欠陥は注入ドーズ量と注入温度を最適化すること

Table I. PL and DIC optical images of the Al implanted and annealed samples at various Al implantation conditions

	Dose ratio 0.5 (RT)	Dose ratio 1.0 (RT)	Dose ratio 1.0 (350°C)
PL 420 nm BPF			
PL 750 nm LPF			
KOH			

により制御可能であることが分かる。講演では、プロセス起因の結晶欠陥が形成される解釈と、試作したSiC-MOSデバイスの電気特性について報告する。

[1] T. Ohno and N. Kobayashi, J. Appl. Phys. **89**, 933 (2001)

[2] J. Wong-Leung, M. K. Linnarsson, B. G. Svensson, and D. J. H. Cockayne, Phys. Rev. B **71**, 165210 (2005)

[3] P. O. Å. Persson, L. Hultman, M. S. Janson, A. Hallén, and R. Yakimova, J. Appl. Phys. **93**, 9395 (2003)

[4] M. Nagano, H. Tsuchida, T. Suzuki, T. Hatakeyama, J. Senzaki, and K. Fukuda, J. Appl. Phys. **108**, 013511 (2010)