スパッタエピタキシー法による低温成長歪 Si 膜の評価

Evaluation of Strained-Si formed by low-temperature Sputter Epitaxy Method

東京農工大院工 [1]，情報通信研究機構 [2]，°出蔵恭平 [1]，本橋叡 [1]，大久保克己 [1]，
広瀬信光 [2]，笠松章史 [2]，三村高志 [2]，松井敏明 [2]，塚本貴広 [1]，須田良幸 [1]
Tokyo Univ. of Agric. & Technol.[1], National Inst. of Information and Communications Technol.[2], °K. Degura[1],
A. Motohashi[1], K. Okubo[1], N. Hirose[2], A. Kasamatsu[2], T. Mimura[2], T. Matsui[2], T. Tsukamoto[1], and Y. Suda[1]
E-mail: sudayos@cc.tuat.ac.jp

【はじめに】我々はこれまでに，歪 Si チャネルを用いたショットキーゲート型 SiGe HEMT(High Electron Mobility Transistor)の作製を目標とし，環境軽負荷型のスパッタエピタキシー法[1]を用いた歪緩和 4 層 SiGe バッファを提案し[2]，化学気相成長法などと比較して良好な結晶特性を実現している[3]．本研究では HEMT のバッファ層と電子供給層の成膜条件を最適化し，バッファ層の良好な緩和特性と，低温成膜によるドーパント拡散抑制を両立可能な成膜プロセスで作製した HEMT 構造の，電子移動度を評価したので報告する．

【実験方法】まず，Fig.1 に示す，歪緩和 4 層 SiGe バッファ上に歪 Si を成膜した構造を，成膜温度 550，600，650℃で作製し，歪 Si の歪率を X 線回折法，平坦性を原子間力顕微鏡(AFM)によって評価し，バッファ層の最適成膜温度を検討した．次に，p-Si(100)基板上に i-Si 層 40nm，n-Si 層 40nm を成膜した pin 構造を，成膜温度 350，380，410℃で作製し，ホール効果測定によって，成膜温度に対する n-Si 層の電子移動度および電子密度の関係から，n-Si 層の最適成膜温度を検討した．

【実験結果】Fig.2 に，X 線回折法から求めた 4 層バッファ 1～2 層目の緩和率および Si の歪率を示す．緩和率は成膜温度 600℃以上で飽和する傾向を示した．また，歪 Si の表面ラフネス(RMS 値)は，600℃で最小(0.64nm)となった．低温では上層の SiGe が圧縮されうねりが生じる一方，高温では緩和が進行することで転位が伝播し，600℃で RMS 値が最小となったと考える．また，電子供給層の成膜温度は，pin 構造の n-Si 層の電子密度が n-Si ターゲットの抵抗率から求められる電子密度に概ね一致し，かつその電子密度に相応する電子移動度が得られた 380℃が最適と判断した．以上の結果を基に，Fig.3 に示す HEMT 構造をバッファ層は 600℃，電子供給層は 380℃で成膜し，平均値で 1080cm^2/Vs，最大で 1310cm^2/Vs の移動度を得た．他報告との比較を Fig.4 に示す．本スパッタエピタキシー法で作製した HEMT 構造で，CVD 法で作製された他の HEMT 構造と比較しても遜色のない特性が得られた．

【謝辞】この研究の一部は，情報通信研究機構先端 ICT デバイスラボで実施された．

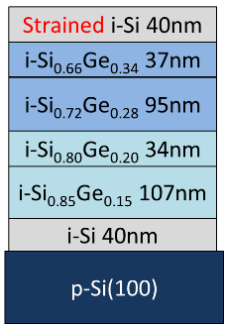

Fig. 1. 4 層バッファ上に引張歪 Si を成膜した構造.

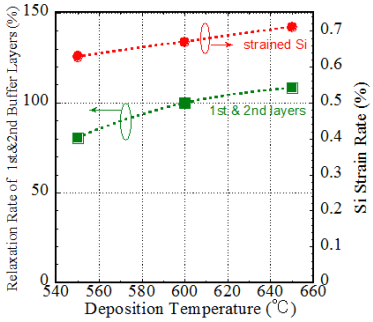

Fig. 2. 成膜温度に対する 4 層バッファ 1~2 層目の緩和率，および Si の歪率.

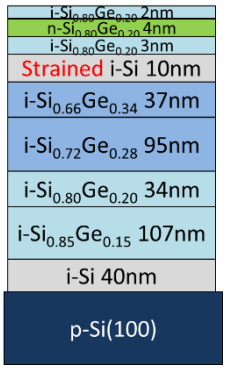

Fig. 3. SiGe HEMT 構造.

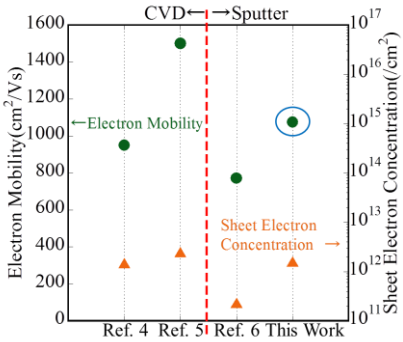

Fig. 4. HEMT 構造の電子移動度，および他報告との比較.

【参考文献】[1] H. Hanafusa *et al.*, *Jpn. J. Appl. Phys.*, **47** (2008) 3020. [2] H. Maekawa *et al.*, *J. Cryst. Growth*, **301/302** (2007) 1017. [3] H. Hanafusa *et al.*, *Appl. Phys. Express*, **4** (2011) 025701. [4] A. Kasamatsu *et al.*, *Appl. Surf. Science*, **224** (2004) 382. [5] K. Ismail, B. S. Meyerson, *et al.*, *IEEE Electron Device Lett.*, **13**, 5 (1992) 229. [6] 玉生ら，電気化学会第 81 回大会, PS38 (2014).

© 2016年 応用物理学会