

強誘電体をゲート絶縁膜としたホウ素ドーパダイヤモンド FET 構造の作製

Fabrication of boron-doped diamond FET structure using ferroelectric gate insulator

金沢大¹, 東京理科大² 〇柄谷 涼太¹, 古市 浩幹¹, 馬場 一気¹, 森 陽介¹, 吉田 稜¹,
中嶋 宇史², 徳田 規夫¹, 川江 健¹

Kanazawa Univ.¹, Tokyo Univ. of Sci.², 〇R. Karaya¹, H. Furuichi¹, I. Baba¹, Y. Mori¹, R. Yoshida¹

T. Nakajima², N. Tokuda¹, and T. Kawae¹

E-mail: akgr@stu.kanazawa-u.ac.jp

【はじめに】ダイヤモンドは、絶縁破壊電界、キャリア移動度、熱伝導率などにおいて非常に優れた物性を有することからパワーデバイスへの応用研究が盛んに行われており、これまでに高い on/off 比を有する JFET 構造^[1]等が報告されている。しかしながら、ダイヤモンドは室温におけるキャリア活性率が低いため、従来の FET 構造において高いドレイン電流密度を得ることは困難である。この問題を解決するために、我々は MISFET 構造のゲート絶縁膜として強誘電体を導入することを提案する。強誘電体は非常に大きな自発分極を持つことから、通常の絶縁体を上回る高濃度なキャリア誘起が期待される。本研究では、強誘電体 P(VDF-TrFE)をゲート絶縁膜としたホウ素ドーパダイヤモンド FET 構造の作製と評価を行った。

【実験方法】MPCVD 法を用いてダイヤモンド(111)基板上にホウ素ドーパダイヤモンドを成長させた。その後、真空蒸着法を用いて Au をソース・ドレイン電極として堆積させ、ポストウェットアニール^[2]によりダイヤモンド表面の OH 終端化を行った。続いて、スピンコート法を用いて膜厚 150nm の P(VDF-TrFE)を堆積した。最後に、PLD 法を用いて Pt をゲート電極として堆積させた。電気特性評価には半導体パラメータアナライザ HP4156A、LCR メータ HP4284A 及び強誘電体評価システム FCE-3 を用いた。

【結果と考察】Fig.1 にゲート電圧を変化させた際の I_{DS} - V_{DS} 特性を示す。ピンチオフ特性は確認できなかったが、デプレッション型の p チャネル FET 動作を確認した。Fig.2 に I_{DS} - V_G 特性を示す。 I_{DS} - V_G 曲線は時計回りのヒステリシスループを描いている。これはホウ素ドーパダイヤモンドを用いた FET 構造において P(VDF-TrFE)ゲートが強誘電体として機能していることを示している。

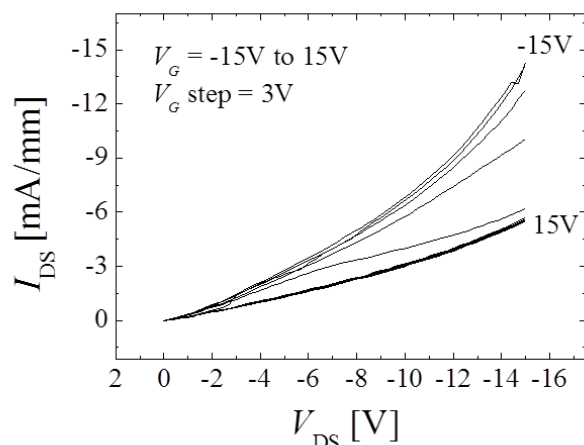


Fig.1 I_{DS} - V_{DS} curves of boron-doped diamond FET with P(VDF-TrFE) gate

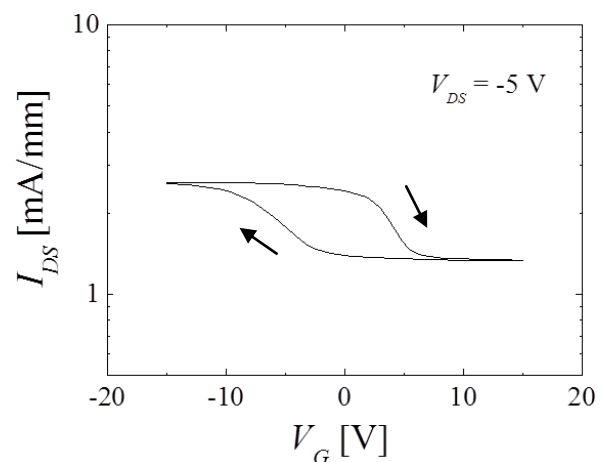


Fig.2 I_{DS} - V_G curves of boron-doped diamond FET with P(VDF-TrFE) gate

【参考文献】

- [1] T. Iwasaki *et al.*, Applied Physics Express, 5, 091301 (2012)
- [2] 南山拓真他、第 28 回 ダイヤモンドシンポジウムプログラム、P1-29

【謝辞】本研究の一部は、JST マッチングプランナープログラムおよび金沢大学先魁プロジェクトの助成を受けたものです。