

直列抵抗を考慮したインピーダンス測定による SiC MOS 界面解析

Analysis of SiC MOS interface by impedance measurements considering series resistance

筑波大¹, 産総研², 岡本 大¹, 張 旭芳¹, 畠山 哲夫², 染谷 満², 原田 信介², 小杉 亮治², 岩室 憲幸¹, 矢野 裕司¹

U. Tsukuba¹, AIST², Dai Okamoto¹, XuFang Zhang¹, Tetsuo Hatakeyama², Mitsuru Sometani², Shinsuke Harada², Ryoji Kosugi², Noriyuki Iwamuro¹, and Hiroshi Yano¹

E-mail: okamoto.dai.gb@u.tsukuba.ac.jp

1. はじめに

SiO₂/4H-SiC 界面におけるトラップの性質は十分に解明されていない。界面近傍酸化膜トラップ (Near-Interface Trap: NIT) が特性劣化要因の一つと考えられているが[1]、その理解は十分ではない。本研究の目的は、SiC MOS 界面に対して容量やコンダクタンスの周波数依存性を測定し、NIT 解析手法を確立することである。しかし、容量やコンダクタンスの周波数解析においては、直列抵抗 R_s の影響を十分に考慮する必要がある。そこで、III-V MIS 界面の評価において提案されている新しい R_s 補正手法を用い[2]、SiC MOS 界面に対する R_s の補正を検討した。また、SiC MOS 界面における容量やコンダクタンスの周波数依存性を説明するためには、NIT の影響を考慮する必要があることを述べる。

2. 結果及び考察

測定に用いたサンプルは、n 型 4H-SiC MOS キャパシタである。ゲート酸化膜は 1200 °C のドライ酸化で形成し、膜厚は約 48 nm である。この MOS キャパシタに対して、Agilent 4294A と 42941A を用いてインピーダンス測定を行った。測定前には、厳密に OPEN/SHORT 補正を行った。容量とコンダクタンスの二要素からなる並列回路モデルを仮定すると、蓄積状態における容量測定値 C_m 、コンダクタンス測定値 G_m は、補正後の容量 C_c 、補正後のコンダクタンス G_c 、直列抵抗 R_s を用いて、

$$C_m = \frac{C_c}{(1 + R_s G_c)^2 + \omega^2 C_c^2 R_s^2}$$

$$G_m = \frac{G_c + R_s G_c^2 + \omega^2 C_c^2 R_s}{(1 + R_s G_c)^2 + \omega^2 C_c^2 R_s^2}$$

と記述できる[2]。ここで、 ω は角周波数である。 $R_s G_c \ll 1$ かつ $\omega C_c R_s \ll 1$ である場合、 $C_m \approx C_c$ 、 $G_m \approx G_c + \omega^2 C_c^2 R_s$ と近似できる[2]。従って、高周波領域において $G_m / \omega C_m^2$ を ω に対してプロットすれば、傾きから R_s が得られる[2]。この手法を用いると、従来法とは異なり[3]、周波数に依存しない単一の R_s の値を決定できる。Fig. 1 に蓄積状態にお

ける $G_m / \omega C_m^2$ と ω の関係のプロットを示す。プロットの傾きはほぼ一定であり、 $R_s = 1.3 \Omega$ が導出された。この値は、基板抵抗の概算値から大きく逸脱しておらず、妥当な値である。

$V_G = 20 \text{ V}$ の蓄積状態で測定した容量 C_m およびコンダクタンス G_m に対して、導出した R_s を用いて補正を行い、 C_c と G_c を得た。その結果を Fig. 2、Fig. 3 に示す。蓄積容量は R_s 補正の前後でほとんど変化せず、周波数に対して C_c は減少していることが分かる (Fig. 2)。すなわち、周波数に対して蓄積容量が減少する現象は、直列抵抗 R_s の影響ではなく、別の要因があるといえる。一方で、 R_s の補正により蓄積時のコンダクタンスは大きく減少するが、補正を行っても G_c はゼロにならず、周波数依存性を示すことが分かる (Fig. 3)。

ここで、酸化膜容量 C_{ox} と基板抵抗 R_s の直列接続からなる蓄積状態の等価回路を考えると、 R_s が正確に補正されていれば、 C_c 、 G_c とともに周波数依存性を示さないはずである。従って、今回測定された C_c や G_c の周波数依存性は、単純な蓄積時の等価回路[3]では説明することができない。この結果を説明するには、III-V MIS 界面の場合と同様に、界面近傍の酸化膜中に存在するトラップを考える必要がある[4]。界面近傍トラップが酸化膜中に存在すると、トンネリングによる電子のやり取りが必要となるが、応答できるトラップの界面からの距離が測定周波数に応じて変化するため、周波数依存性が生じると考えられる。このことは、本会議で別途報告する分布回路モデルによる NIT 解析法を用いると、矛盾無く説明することができる[5]。

【謝辞】本研究は、総合科学技術・イノベーション会議の SIP(戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス」(管理法人: NEDO) によって実施されました。

[1] V. V. Afanas'ev *et al.*, Appl. Phys. Lett. **76**, 336 (2000).

[2] B. Yu *et al.*, Electron. Lett. **49**, 492 (2013).

[3] E. H. Nicollian *et al.*, MOS Physics and Technology.

[4] Y. Yuan *et al.*, IEEE Electron Device Lett. **32**, 485 (2011).

[5] X. Zhang *et al.*, to be presented at this meeting.

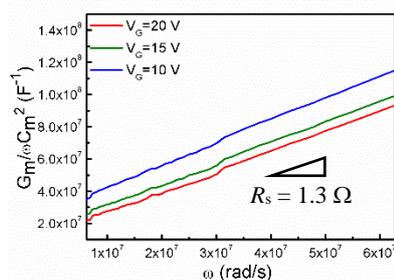


Fig. 1. $G_m / \omega C_m^2$ as a function of ω .

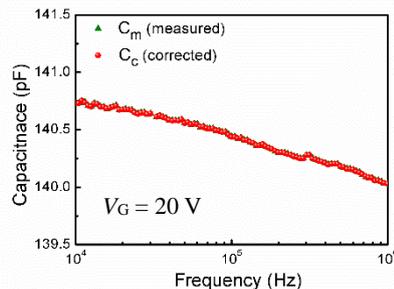


Fig. 2. The measured and corrected capacitance C_m and C_c vs. ω .

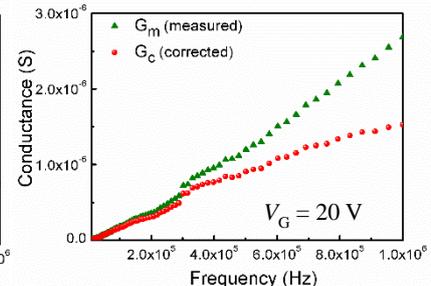


Fig. 3. The measured and corrected conductance G_m and G_c vs. ω .