

Epitaxial Lift-Off (ELO)法を用いた GOI 基板の作製

Fabrication of Ge-on-Insulator by Using Epitaxial Lift-Off (ELO)

大久保 亮太、徐 学俊、澤野 憲太郎、丸泉 琢也 (都市大総研)

○Ryota Okubo, Xuejun Xu, Kentarou Sawano, Takuya Maruizumi (Tokyo City Univ.)

E-mail: g1681309@tcu.ac.jp

1. はじめに

光電子集積回路 (OEIC)の実現の為に、Ge が注目されている。Si 基板上に Ge をエピタキシャル成長させることで Ge-on-Silicon (GOS)を作製し、Ge 内に引っ張り歪みを導入することで、間接遷移型半導体である Ge を疑似的に直接遷移型半導体に近づけ、発光強度の増大を図る。発光強度のさらなる増大の為に Ge-on-Insulator (GOI)の作製が必要となっている。GOI は Ge と SiO₂の屈折率の違いから Ge 内に光を閉じ込めることが出来る為、発光強度が増大する^[1]。

また、これまでの GOI 作製は Si ドナー基板を完全に研磨とエッチングする必要があり、プロセス時間がかかる上、大面積化において制御が難しい。そこで Ge にストライプ状のパターニングを行い、従来の GOI 作製方法における基板除去プロセスを省略した ELO 法^[2,3]による作製を試みた。

2.実験方法

試料作製手順を Fig.1 に示す。固体ソース MBE を用いて、Si(100)基板上に Ge を低温 (350 °C、40 nm)、高温 (600 °C、500 nm)で成長させる。その後、電子線描画装置とドライエッチングによって Ge にストライプ状のパターンを作製する。そして有機洗浄、アンモニア洗浄を行い、SiO₂/Si ハンドル基板と貼り合わせ、700 °Cで1時間アニール処理、KOH で Si 層の選択エッチングを行う。KOH がパターニングの隙間に入ることでエッチングされ、短時間で Ge 層がハンドル基板に転写され、GOI が作製される。

3.結果及び考察

Fig.2 に作製した GOI の断面 SEM 画像を示す。本手法によってストライプ状の GOI が形成出来ていることが分かる。PL 測定の結果を Fig.3 に示す。従来方法の全面 GOI を比較すると、ELO 法による GOI ではより高い発光強度が得られ、高品質な GOI が形成されたと言える。また、ストライプパターンの GOS と ELO 法による GOI を比較すると、約 8 倍の発光強度の増大が観測され、Ge 内への強い光閉じ込めによる効果であることを示唆している。

本研究の一部は、文科省私立大学戦略的研究基盤形成支援事業、科学研究費補助金の支援を受けて行われた。

4.参考文献

[1] X. Xu et al, Conference on Lasers and Electro-Optics (CLEO), SM4H.3 (2014).

[2] M. Konagai et al, J. Crys Growth, **45**: 277 (1978).

[3] E. Mieda et al, Jpn. J. Appl. Phys, **54**: 036505 (2015).

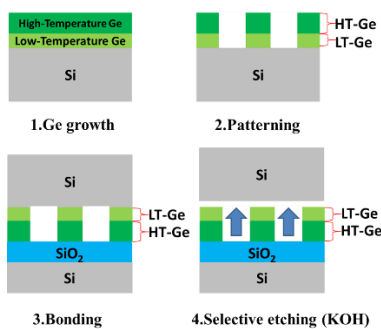


Fig.1 Process flow of ELO GOI fabrication

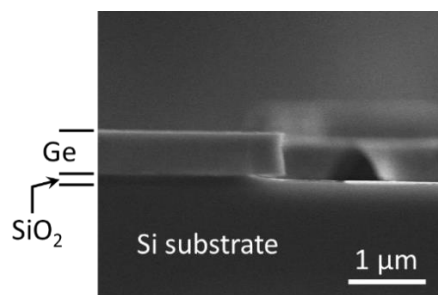


Fig.2 Cross-section SEM image of the fabricated ELO-GOI near edge of the stripe pattern

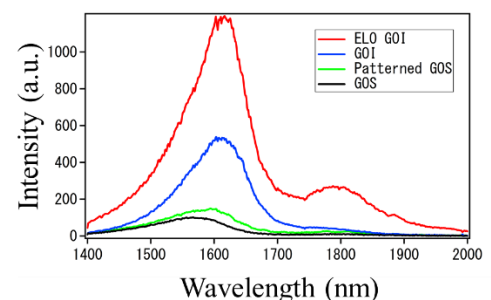


Fig.3 PL spectra of GOI and GOS structures