

MOCVD 法を用いた *in situ* P ドーピングによる高濃度 *n* 型 Ge エピタキシャル成長Epitaxial growth of heavily doped *n*-Ge layers by MOCVD with *in situ* P-doping○池進^{1,2}, 竹内和歌奈¹, 中塚理¹, 財満鎮明^{1,3} (¹名大院工,²学振特別研究員,³名大未来研)○S. Ike^{1,2}, W. Takeuchi¹, O. Nakatsuka¹, and S. Zaima^{1,3}¹Grad. Sch. of Eng., Nagoya Univ., ²JSPS Research Fellow, ³IMaSS, Nagoya Univ.)

E-mail: sike@alice.xtal.nagoya-u.ac.jp

Ge は電子・正孔ともに高いキャリア移動度を有するため、省電力 CMOS 実現に向けた次世代半導体材料として注目されている。しかし、*p* 型と比較して *n* 型不純物は Ge への固溶限の低さや高い拡散係数を示すことから、Ge *n*-MOSFET に必要な良好な *n*⁺-Ge ソース/ドレイン接合形成に課題が残されている。我々は、低損傷、低欠陥かつ固溶限以上の活性化 *n* 型不純物濃度を有する Ge 薄膜形成を目指して、*in situ* P ドーピングに着目した。前回、有機金属化学気相成長法 (MOCVD 法) を用いた 400 °C 以下の低温成長によって、Si 基板上に平衡固溶限を超える高 P 濃度 ($1.0 \times 10^{20} \text{ cm}^{-3}$) を有する Ge 薄膜成長について報告した[1]。一方で、他の手法と同様に活性化 P 濃度は固溶限以下に留まっている。この理由として、Si と Ge の格子不整合に起因する膜中の結晶欠陥による P 活性率の低下が考えられる[2]。本研究では、更なる活性化 P 濃度の向上を期待し、格子不整合のない Ge 基板上への高濃度 *n* 型 Ge エピタキシャル薄膜の形成を試み、その結晶性や活性化 P 濃度を調査した。

P 型 Ge(001)基板 ($\rho=2.2\text{--}2.5 \Omega\cdot\text{cm}$) を化学洗浄後、石英製 CVD チャンバー内にて水素雰囲気中熱処理により表面清浄化を行なった。Ge および P 原料としてそれぞれ Tertiary-butyl-germane (TBGe) および Tri-ethyl-phosphine (TEP) を用いた。基板温度、成膜室圧力、および TBGe の供給量を、それぞれ 400 °C、3.0 kPa、1.00 sccm とし、TEP 供給量を 0–1.1 sccm の間で変化させ、Ge 薄膜を成長した。

Fig. 1 に、Si および Ge 基板上に成長した Ge 薄膜の顕微ラマンスペクトルから評価した Ge-Ge ピーク半値幅の TEP 供給量依存性を示す。Si 基板上の場合と比べて、Ge 基板上の Ge 薄膜から得られたピーク半値幅は小さいことから、格子整合による、より結晶性の高い Ge 薄膜の形成が示唆される。

次に、SPring-8/BL9XU における硬 X 線光電子分光 (HAXPES, $h\nu=7935 \text{ eV}$) 法を用いて Ge 薄膜中の P 原子の化学結合状態を評価した。Fig. 2 に、Ge 基板上の Ge:P (TEP=0.11 sccm) 薄膜から得られた P1s 内殻準位スペクトルを示す。HAXPES による組成分析から、Si および Ge 基板上に同じ成長条件 (TEP=0.11 sccm) で成長した Ge 薄膜中の P 濃度はいずれも $1.5 \times 10^{20} \text{ cm}^{-3}$ と見積もられた。これは Ge:P/Si 試料の SIMS 測定から得られた P 濃度の結果 ($1.0 \times 10^{20} \text{ cm}^{-3}$) とほぼ一致する。P1s スペクトルを不活性 P (P^0)、格子置換 P (P^{1+}) および酸化 P (PO_x) に由来する成分にピーク分離し、格子置換 P の割合を面積強度比 $I_{P^{1+}}/(I_{P^{1+}}+I_{P^0})$ により算出した。Si および Ge 基板上の Ge 薄膜中の格子置換 P の割合はそれぞれ 39% および 47%、また格子置換 P 濃度はそれぞれ $6 \times 10^{19} \text{ cm}^{-3}$ および $7 \times 10^{19} \text{ cm}^{-3}$ と見積もられた。前回の報告で Ge:P/Si 試料内の Hall 電子密度は $1.7 \times 10^{19} \text{ cm}^{-3}$ と評価されている[1]。HAXPES 測定の結果より、Si 基板上に比べて Ge 基板上の格子置換 P 濃度は高く、更なる高濃度 P ドープ Ge 薄膜の形成が推測される。実際に、マイクロ 4 探針測定によって各 P ドープ Ge 薄膜のシート抵抗を評価した (Fig. 3)。電子移動度 μ をバルク Ge と仮定し[3]、Ge 薄膜中の電子密度 n および膜厚 d から推定されるシート抵抗 ($R_s=1/qn\mu d$) も併せて示す。各 P ドープ Ge 薄膜のシート抵抗から、電子密度はそれぞれ $9.0 \times 10^{18} \text{ cm}^{-3}$ (Ge:P/Si)、 $2.2 \times 10^{19} \text{ cm}^{-3}$ (Ge:P/pGe) と見積もられた。今後、更なる高濃度化に向けて、薄膜の結晶性が P 濃度や移動度に与える影響を詳細に調査する予定である。

[1] 池ほか, 春季応用物理学会, 20p-H112-8, (2016). [2] V. P. Markevich *et al.*, Phys. Rev. B **70**, 235213 (2004). [3] D. B. Cuttriss, Bell Syst. Tech. J. **40**, 509 (1961).

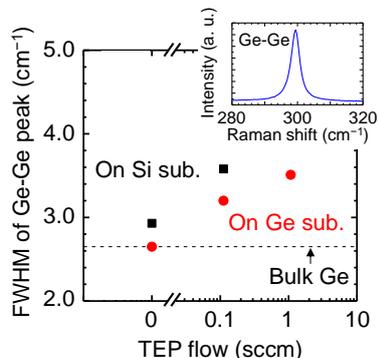


Fig. 1: FWHM values of the Ge-Ge vibration mode for Ge:P/Si and Ge:P/pGe samples as a function of the TEP flow rate.

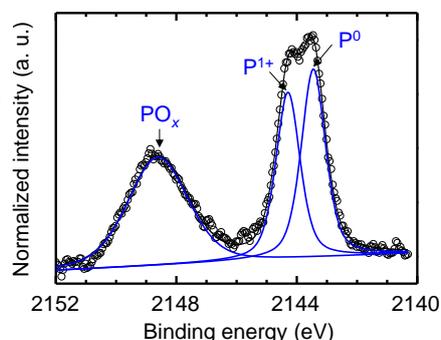


Fig. 2: P1s core level spectrum of the Ge:P/pGe sample with a TEP flow of 0.11 sccm obtained by HAXPES.

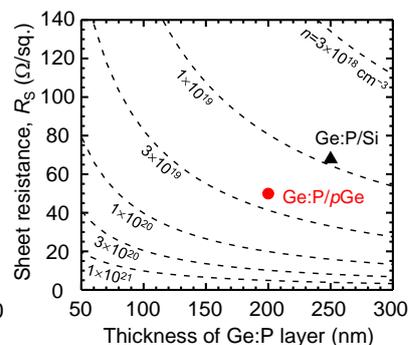


Fig. 3: Sheet resistance of Ge:P layers as a function of the film thickness.