

Si-MOS における化学酸化法による界面層作製手法の検討

Consideration of Fabrication Method in Si-MOS Interface Layer by Chemical Oxidation

○杉野 優介、岩崎 好孝、上野 智雄 (農工大院・工)

○Yusuke Sugino, Yoshitaka Iwazaki, Tomo Ueno (Tokyo University of Agriculture and Technology.)

E-mail: s156596y@st.go.tuat.ac.jp

・研究背景

Si-MOSFET は微細化の限界から、ゲート絶縁膜に Hf などに代表される高誘電率(High-k)材料を用いた構造が一般的となっている。現在 High-k 材料は多岐に渡る研究をされているが、接触界面での半導体との相性の問題から界面層の挿入が必要である場合が考えられる。

そこで我々は界面層の作製手法の一つとして化学酸化法による SiO₂/Si 構造の作製を試みている。化学酸化法の利点としては酸化時の温度が比較的低温であり、かつウェハーサイズが大口径化した際であっても均一な酸化が行えることなどが挙げられる。

先の春季学術講演では硫酸と過酸化水素水を用いて、溶液温度 120℃で作製した SiO₂ 膜の膜質(Fig.1)についての報告を行った。本報告では酸化時の溶液温度を変化させた際の膜質の変化について調査した結果を報告する。

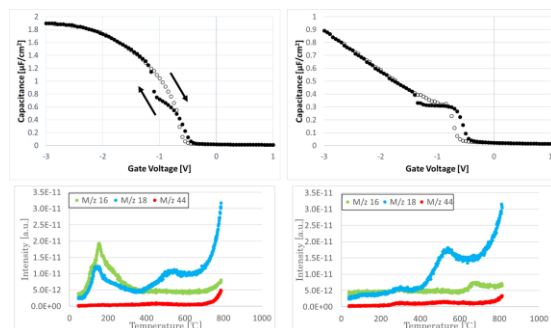


Fig.1 ケミカル酸化(120℃)SiO₂膜の電気特性およびTDS測定結果
(左下:ケミカル酸化SiO₂、右下:ケミカル酸化後200℃加熱SiO₂)

・実験方法

p-Si(100)基板を有機洗浄および希フッ酸処理後、以下の条件でサンプルの作製を行った。

- ① 硫酸および過酸化水素を用いた溶液(140℃)により化学酸化膜(～3nm)を成膜。
- ② ①で作製したサンプルに対し、窒素雰囲気下で200℃30分間のアニール処理を施す。

上記のサンプルに対し、電気特性の測定および TDS 測定を行った。

・結果

TDS 測定の結果を Fig.2 に示す。Fig.1 の TDS 測定の結果

と比較すると、120℃で作製したサンプルに比べ、140℃で作製したサンプルでは 100℃付近での H₂O が減少しているが、400℃以降で現れる H₂O が残留していること見て取れる。また、Fig.3 に C-V 測定の結果を示した。上段に示した 1MHz においての結果を見ると、溶液温度を上昇させて作製した SiO₂膜において Fig.1 に示した C-V 測定の結果にみられるような独特な挙動が無くなり、注入型のヒステリシスを持つ結果が得られた。また、成膜後に加熱処理を施したサンプルにおいてはヒステリシスも大幅に低減した結果が得られたが、下段に周波数分散の結果では加熱の有無に関わらず特性の分散が見られた。

これらのことから、溶液温度を 120℃から 140℃に上げたことにより、膜中に取り込まれる酸素の挙動が大きく変化し、SiO₂ 膜の安定性が大きく向上したと考えられる。しかしながら、200℃のアニールでは膜中の H₂O を完全に排除することは困難であり、400℃付近から脱離する H₂O が界面の電気特性に悪影響を及ぼしている可能性がある。

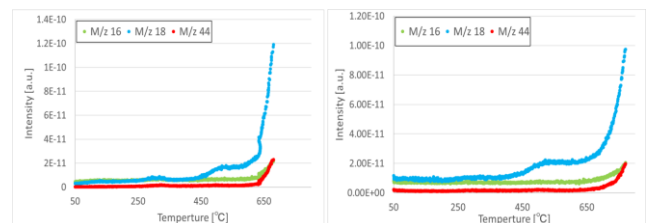


Fig.2 ケミカル酸化SiO₂膜のTDS測定結果
(左下:ケミカル酸化SiO₂、右下:ケミカル酸化後200℃加熱SiO₂)

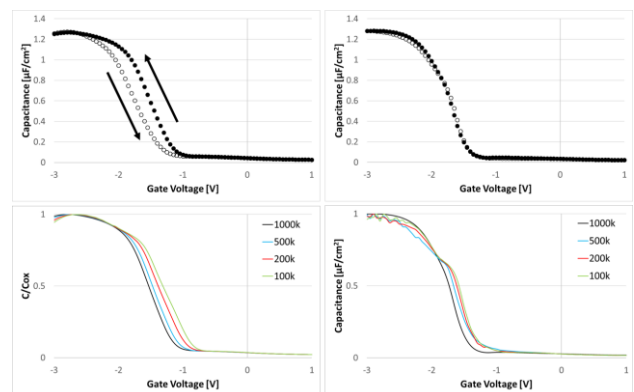


Fig.3 ケミカル酸化(140℃)SiO₂膜の電気特性
(左:ケミカル酸化SiO₂、右:ケミカル酸化後200℃加熱SiO₂)