

2 段階熱処理による $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ ゲートスタック構造の作製 Fabrication of $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ Gate Stack Structure by Two-Step-Thermal Treatment

兵庫県立大工¹, °部家 彰¹, 吉岡 尚輝¹, 松尾 直人¹

Univ. of Hyogo¹, °Akira Heya¹, Naoki Yoshioka¹, Naoto Matsuo¹

E-mail: heyaa@eng.u-hyogo.ac.jp

【背景】

Ge は Si に比べて電子移動度が $3900 \text{ cm}^2/\text{Vs}$ と高く、薄膜トランジスタの活性層材料として期待される。Si では熱酸化により良質な絶縁膜が形成可能であるが、Ge の熱酸化膜は熱や水に対する耐性が低いという問題がある。そのため、 Al_2O_3 等の高誘電率ゲート絶縁膜を GeO_2 膜上に積層した構造 ($\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$ ゲートスタック構造) が検討されている[1, 2]。本研究では熱処理により石英基板上的非晶質 Ge (a-Ge) 膜に $\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$ ゲートスタック構造を作製することを試み、熱処理時の界面での反応および電気特性について検討した。

【実験方法】

$\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$ ゲートスタック構造を作製するため、図 1(a)に示した 3 条件で試料を作製した。a-Ge 膜を石英基板上に電子ビーム蒸着 (EB) により 60nm 堆積した。基板ホルダ温度は室温、堆積速度は 0.12 nm/s である。Al 膜は真空蒸着により 10nm 堆積した。酸化のために電気炉を用いて大気中で熱処理を行った。Ge 膜の酸化条件は 500°C 、600s、Al 膜の酸化条件は 500°C 、1800s とした。

化学結合状態と Al, Ge, O の深さ方向分布を X 光電子分光法 (XPS) により評価した。リーク電流、絶縁破壊電圧を評価するため、Al 電極 (直径 $200\mu\text{m}$) を真空蒸着により作製し (図 1(b))、大気中、室温で電流・電圧特性を測定した。

【結果と考察】

Al 膜蒸着後、熱処理により $\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$ を作製しようとした試料 A では Al 膜は全て酸化されていたが、Al 膜が 10nm と厚いためか、Ge 膜の酸化はほとんど見られなかった。Ge 膜を熱酸化した後 Al 膜を蒸着した試料 B では、Al 蒸着後、熱処理を施していないにもかかわらず、Al/GeO_x 界面付近の Al が酸化されていた。これは GeO_x 中の O が Al 膜に拡散し、より安定な AlO_x が形成されたと考えられる。Al 膜厚を薄くすると Al 膜全体が完全に酸化されると予想されるが、GeO_x から O が供給され、酸化が進行するため、GeO_x 中に O 欠損が生じることが懸念される。そのため、Al 膜を薄膜化せず、追加熱処理を施した試料 C の XPS 深さ方向分布を図 2 に示す。Al 膜は完全に酸化されたが、GeO_x 中の Ge/O 組成比は膜深さ方向でなだらかに変化し、急峻な界面は形成されなかった。この界面特性は単結晶 Ge 基板ではなく、多結晶 Ge 膜を用いていることも関係していると考えられる。また、 AlO_x 最表面に GeO_x が検出されたが、これは熱処理時に $\text{AlO}_x/\text{GeO}_x$ 界面の Ge が表面に拡散と考えられる。

各試料の電流・電圧特性を図 3 に示す。試料 A, B, C の絶縁破壊電圧はそれぞれ 6.4, 43, 148V であった。試料 C の 1V でのリーク電流は $6.6 \times 10^{-13} \text{ A}$ であり、比較的良好な値を示した。

膜厚 10nm の Al 膜でも 2 段階熱処理を行うことで $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ ゲートスタック構造を作製できることが明らかとなった。

[1] R. Zhang et al., App. Phys. Lett. **98** (2011) 112902.

[2] I. Hideshima et al., Curr. Appl. Phys. **12** (2012) S75.

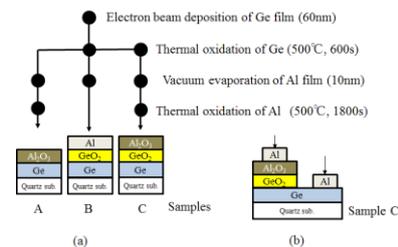


Fig. 1 (a) Process flow of gate stack structures. (b) Sample structure for I-V measurement (sample C).

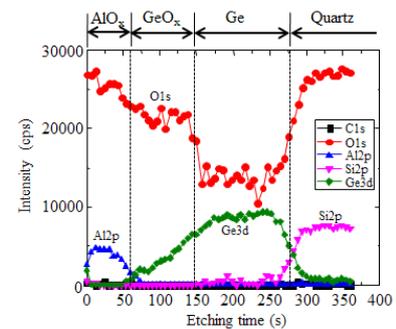


Fig. 2 XPS depth profile of sample C.

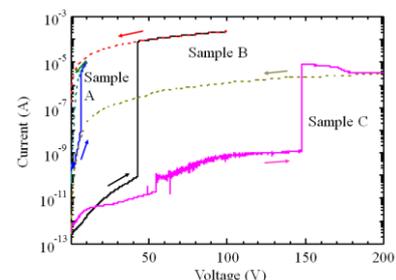


Fig. 3 I-V characteristics of various samples.