

ミニマル SOI-MOSFET における実効キャリア移動度評価

Investigation of Effective Carrier Mobility in Minimal SOI-MOSFETs

産総研¹, ミニマルファブ技術研究組合²

○柳 永助¹, クンプアン ソマワン^{1,2}, 長尾 昌善¹, 松川 貴¹, 原 史朗^{1,2}

AIST¹, MINIMAL², °Y. X. Liu¹, S. Khumpuang^{1,2}, M. Nagao¹, T. Matsukawa¹ and S. Hara^{1,2}

E-mail: yx-liu@aist.go.jp

【緒言】前回、我々はミニマル・メガファブハイブリッドプロセスによる PVD-TiN メタルゲート SOI-CMOS 集積回路の特性について発表した[1]。今回は、同じハイブリッドプロセスで面積の大きい SOI-MOSFET を作製し、スプリット CV 法で実効キャリア移動度を評価したので報告する。

【実験及び結果】デバイス作製には、N 型($N_D \approx 2 \times 10^{14} \text{ cm}^{-3}$)ミニマル(100)SOI ウエハ($\Phi = 12.5 \text{ mm}$, Top-Si = 205 nm, BOX = 400 nm)を用いた。まず、熱酸化で Top-Si 層厚を 70 nm まで薄層化した。次に、SOD による固相拡散($T = 950^\circ\text{C}$, $t = 4 \text{ min}$)で、PMOS と NMOS のソース・ドレイン領域を形成した。また、Top-Si 層を選択的にエッチングして素子分離を行い、熱酸化で 6 nm 厚のゲート酸化膜を形成した後に、ゲート電極材料として 30 nm 厚の PVD-TiN を堆積して、デバイス作製を行った。その作製したミニマル(100) SOI-MOSFET の顕微鏡写真と I_d - V_g 特性を Fig. 1 に示しており、PMOS と NMOS 共に理想値に近いサブスレッシュコールド係数を示すことが確認できる。また、

Fig. 2 にスプリット CV より求めた正味のゲートとチャネル間容量(C_{GC})及びチャネル電荷量($Q_{p,n}$)を、Fig. 3 に実効キャリア移動度(μ_{eff})を示す。今回の電子 μ_{eff} は、P 型($N_A \approx 2 \times 10^{17} \text{ cm}^{-3}$) (100)バルク Si 上に作製した PVD-TiN ゲート NMOS の μ_{eff} 値[2]に比べ、遥かに大きいことが分かった。この結果は、今回の SOI チャネルには殆どドーピングされていないので、クーロン散乱による μ_{eff} 低下が非常に小さいことを意味する。また、今回の μ_{eff} がユニバーサル値より若干低いことは、TiN 堆積中にゲート酸化膜へのプラズマダメージと窒素のロックオンなどが原因だと考えられる。ダメージフリーの Poly-Si ゲートを用いると、ミニマル(100) SOI-MOS の μ_{eff} はユニバーサル曲線に近づくことと推定される。

[1] 柳永助, 他, 第 63 回応用物理学会春季講演会

19a-S423-1. [2] Hayashida et al. JJAP. 48(2009)05DC01.

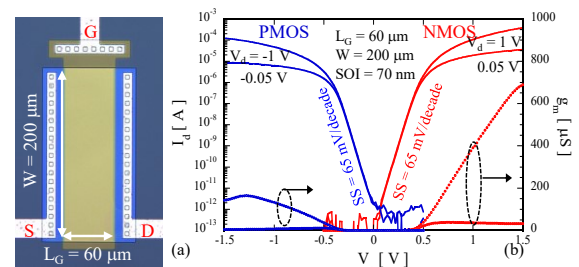


Fig. 1. (a) Microscope image and (b) I_d - V_g & g_m - V_g characteristics of PMOS and NMOS.

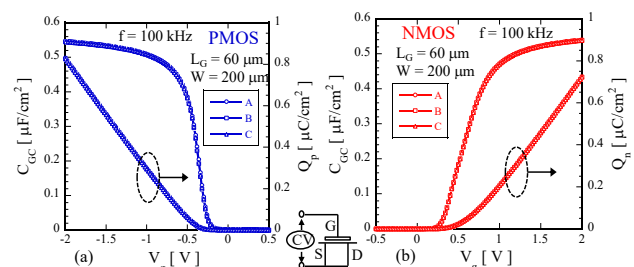


Fig. 2. Measured gate to channel capacitance (C_{GC}) by using split-CV method and charge density ($Q_{p,n}$) as a function of gate voltage (V_g) for (a) PMOS and (b) NMOS.

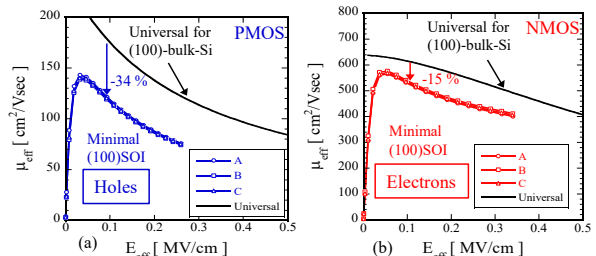


Fig. 3. Measured effective mobility (μ_{eff}) for (a) holes and (b) electrons as a function of effective field (E_{eff}). The measured μ_{eff} values are slightly lower than the universal data.