

酸化性および還元性雰囲気におけるゲート酸化膜成長前の高温熱処理が SiC MOSFET 移動度に与える影響

Impacts on SiC MOSFET mobility of high temperature annealing
in oxidizing or reducing ambient before gate oxide growth

¹ 東京大学大学院工学系研究科マテリアル工学専攻、*日本学術振興会特別研究員 DC

○平井 悠久^{1*}、喜多 浩之¹

¹Dept. of Materials Engineering, The Univ. of Tokyo, *JSPS Research Fellow, ^oH. Hirai^{1,*} and K. Kita¹
E-mail: hirai@scio.t.u-tokyo.ac.jp

[背景と目的] SiC-MOSFET における MOS 界面近傍の欠陥準位密度低減による移動度向上手法が報告されている一方で、近年 SiC 基板に対する熱処理による特性変化が報告されている[1]。そこで本研究は横型 MOSFET において、SiC 基板の表面領域に対する熱処理の影響に着目し、ゲート酸化前に行う高温での熱処理が移動度に及ぼす影響を評価するために実験を行った。

[実験] p 型エピ層(ドーパ濃度 $1 \times 10^{16} \text{ cm}^{-3}$)を有する p 型 6H-SiC(0001)Si 面基板を用い、横型 MOSFET を作成した。P をイオン注入し、Ar 中 1650°C で 5 min の活性化処理により S/D 領域に形成した。カーボンキャップ剥離後には SiC 基板 20 nm を消費する犠牲酸化を行った。続けて、ゲート酸化前に $1150\text{--}1500^\circ\text{C}$ で Ar 中または $1\%\text{H}_2/\text{He}$ 雰囲気中で 1 hour の熱処理を行い、これらの後に 1300°C ドライ酸化+ O_2 中 800°C での POA[2]により $\sim 30 \text{ nm}$ のゲート酸化膜を形成した。S/D 領域に Ni を、裏面に Al+Ni を蒸着し、 $1\%\text{H}_2$ 中 1150°C の熱処理でコンタクトを形成した。また、n 型 4H-SiC 基板を同位体 $^{18}\text{O}_2$ 雰囲気中で 1300°C にて熱酸化し、希釈 HF 溶液による熱酸化膜の除去後、昇温脱離ガス分析法(TDS)による分析を行った。

[結果および考察] 1300°C における O_2 雰囲気での熱処理において、基板の消費に伴うチャネル移動度の減少が観測され、熱酸化に伴い基板中にダメージが蓄積されることを前回報告した[3]。一方、今回 $1\%\text{H}_2$ 雰囲気では、Fig. 1(a)に示すように 1500°C の熱処理でも移動度の減少は小さく、ダメージ蓄積は熱的効果よりもむしろドライ酸化雰囲気の効果であることがわかった。酸化性および還元性雰囲気のいずれでも、Fig. 1(b)に示すように基板表面の AFM ラフネスは減少したが、移動度の減少が酸化性雰囲気のみで起こったことは、表面ラフネスは基板表面の品質と必ずしも対応しないことを示している。これらに基づき SiC 基板中の不純物について TDS による分析を行ったところ、Fig. 2 に示すように、 $^{18}\text{O}_2$ 中で熱酸化を行った基板から C^{18}O の形で酸素の脱離が明確に観測された。検出された酸素の量は基板中への溶解量の計算値[4]から考えられるよりも多く、酸化に伴い酸素を捉える欠陥が基板中に蓄積されることを示唆している。

なお本研究の一部は、総合科学技術・イノベーション会議の SIP 戦略的イノベーション創造プログラム「次世代パワーエレクトロニクス(管理法人:NEDO)」及び JSPS 科研費補助金の助成により実施された。また、TDS 測定は電子科学(株)平下博士のご厚意により同社製 IH-TDS1700 を用いて行われた。

[1] T. Okuda et al., APEX **8**, 111301 (2015). [2] R. H. Kikuchi and K. Kita, APL **105**, 032106 (2014). [3] 平井ら、2016 年春季応用物理講演会(20p-H101-16). [4] A. Gali et al., Phys. Rev. B **66**, 125208 (2002).

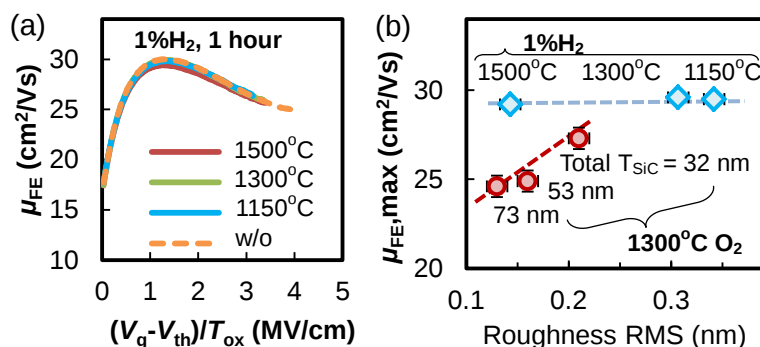


Fig. 1. (a) μ_{FE} - V_g curves of 6H-SiC MOSFETs subjected to annealing in $1\%\text{H}_2$ ambient at 1150 to 1500°C before the gate oxide growth. (b) Relationship between Maximum μ_{FE} and roughness RMS before gate oxide growth for different annealing conditions.

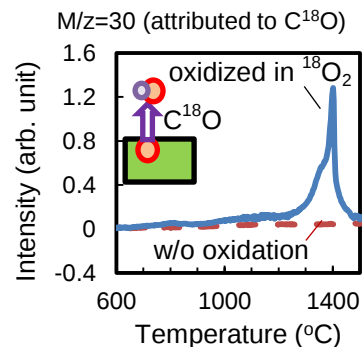


Fig. 2. TDS spectra of n-type 4H-SiC wafers with and without oxidation in $^{18}\text{O}_2$ isotope gas at 1300°C .